

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 9月10日
Date of Application:

出願番号 特願2003-318143
Application Number:

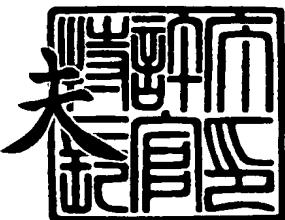
[ST. 10/C] : [JP2003-318143]

出願人 株式会社東芝
Applicant(s):

2003年10月 1日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願
【整理番号】 A000300948
【提出日】 平成15年 9月10日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/08
 H01L 21/425

【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所
 内
【氏名】 松尾 浩司

【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝

【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181

【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲

【選任した代理人】
【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠

【選任した代理人】
【識別番号】 100108855
【弁理士】
【氏名又は名称】 蔵田 昌俊

【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男

【選任した代理人】
【識別番号】 100092196
【弁理士】
【氏名又は名称】 橋本 良郎

【先の出願に基づく優先権主張】
【出願番号】 特願2002-266759
【出願日】 平成14年 9月12日

【手数料の表示】
【予納台帳番号】 011567
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9705037

【書類名】特許請求の範囲**【請求項 1】**

半導体基板と、

前記半導体基板の表面領域に形成され、それぞれエクステンション領域とコンタクトジャンクション領域とから構成されたソース領域及びドレイン領域と、

前記半導体基板上において前記ソース・ドレイン領域間上に形成されたゲート絶縁膜と

前記ゲート絶縁膜上に形成されたゲート電極とを具備し、

前記半導体基板の少なくとも前記ゲート電極が形成された下部の少なくとも一部は、前記半導体基板の他の部分より窪んでおり、且つその窪み深さは、6 nm以下であることを特徴とする半導体装置。

【請求項 2】

半導体基板と、

前記半導体基板の表面領域に形成され、それぞれエクステンション領域とコンタクトジャンクション領域とから構成されたソース領域及びドレイン領域と、前記半導体基板上において前記ソース・ドレイン領域間上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを具備する複数のMISトランジスタが形成され、

MISトランジスタの一部は、前記半導体基板の少なくとも前記ゲート電極が形成された下部の少なくとも一部は、前記半導体基板の他の部分より窪んでおり、且つその窪み深さは、6 nm以下であることを特徴とする半導体装置。

【請求項 3】

前記窪みの半導体基板表面からの深さは、前記エクステンション領域のイオン注入時における不純物濃度ピークの半導体基板表面からの深さより深いことを特徴とする請求項1又は2に記載の半導体装置。

【請求項 4】

前記ソース・ドレイン領域の前記エクステンション領域は、互いに対向して前記ゲート電極の下部に延在しており、その延在している部分の長さは、前記エクステンション領域の前記半導体基板表面からの深さの2/3より十分短いことを特徴とする請求項1乃至請求項3の何れかに記載の半導体装置。

【請求項 5】

前記ゲート電極の材料は、ポリシリコン、金属もしくはその合金、シリコンとゲルマニウムの混合物のいずれかであることを特徴とする請求項1乃至請求項4の何れかに記載の半導体装置。

【請求項 6】

前記ゲート電極の材料がポリシリコンからなる場合において、前記ゲート電極表面及び前記ソース・ドレイン領域表面にはシリサイド層が形成されていることを特徴とする請求項1乃至請求項4のいずれかに記載の半導体装置。

【請求項 7】

半導体基板上にダミーゲート絶縁膜及びその上にダミーゲート電極を形成する工程と、

前記半導体基板の表面領域に前記ダミーゲート絶縁膜及びダミーゲート電極をマスクにして不純物をイオン注入しエクステンション領域を形成する工程と、

前記ダミーゲート絶縁膜及びダミーゲート電極の側面にゲート側壁絶縁膜を形成する工程と、

前記半導体基板の表面領域に前記ダミーゲート絶縁膜、前記ダミーゲート電極及びゲート側壁絶縁膜をマスクにして不純物を注入しコンタクトジャンクション領域を形成し、このコンタクトジャンクション領域と前記エクステンション領域とから構成されたソース領域及びドレイン領域を形成する工程と、

前記半導体基板上に前記ダミーゲート絶縁膜、前記ダミーゲート電極及びゲート側壁絶縁膜を被覆するように層間絶縁膜を形成する工程と、

前記層間絶縁膜を前記ダミーゲート電極の表面が露出するまで研磨して表面の平坦化を

行う工程と、

前記ダミーゲート電極及び前記ダミーゲート絶縁膜を選択的に除去し、前記層間絶縁膜にゲート開口領域を形成する工程と、

前記ゲート開口領域の底部に露出する前記半導体基板表面を酸化し、この酸化された部分を選択的に除去することにより前記半導体基板の表面領域に窪みを形成する工程と、

前記ゲート開口領域底面の前記窪み表面を絶縁化してゲート絶縁膜を形成する工程と、

前記ゲート開口領域内に前記ゲート電極材料を埋め込んでゲート電極を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 8】

前記窪みの半導体基板表面からの深さは、前記エクステンション領域のイオン注入時における不純物濃度ピークの半導体基板表面からの深さより深いことを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】

前記半導体基板の表面領域に窪みを形成する工程において、プラズマ酸素により前記半導体基板表面を 600°C 以下で酸化することを特徴とする請求項 7 又は請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

前記窪みの深さは、6 nm 以下であることを特徴とする請求項 7 乃至請求項 9 のいずれかに記載の半導体装置の製造方法。

【請求項 11】

前記ゲート絶縁膜は、少なくともプラズマ酸化を用いて形成されることを特徴とする請求項 7 乃至請求項 10 のいずれかに記載の半導体装置の製造方法。

【請求項 12】

前記ゲート電極がポリシリコンで形成されている場合において、前記ゲート電極に不純物をイオン注入し、その後 1000°C 以上で熱処理して前記不純物を活性化させる工程をさらに備えたことを特徴とする請求項 7 乃至請求項 11 のいずれかに記載の半導体装置の製造方法。

【請求項 13】

前記ソース・ドレイン領域の不純物濃度が $1 E / 19 cm^2$ 以上の領域は、前記半導体基板から少なくとも 10 nm 以下であることを特徴とする請求項 7 乃至請求項 12 の何れかに記載の半導体装置の製造方法。

【請求項 14】

前記ゲート電極がポリシリコンからなる場合において、前記層間絶縁膜を前記半導体基板から除去した後に、前記ゲート電極表面及び前記ソース・ドレイン領域表面にシリサイド層を形成することを特徴とする請求項 7 乃至請求項 13 の何れかに記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置及び半導体装置の製造方法

【技術分野】

【0001】

本発明は、微細化が要求されるゲート電極及びソース・ドレイン領域を備えた素子の構造及びその製造方法に関するものである。

【背景技術】

【0002】

近年、半導体装置は、益々微細化が要求されている。とくに、M I S F E T (Metal Insulated Semiconductor Field Effect Transistor) もしくはM O S F E T (Metal Oxide Semiconductor Field Effect Transistor) は、より浅い接合が求められている。しかし、微細化が進むにつれて従来の方法では浅い接合を形成するには限界がある。以下、図24を参照して従来のM I S F E T の製造方法について説明する。図24は、従来構造のM I S F E T の製造工程断面図である。

【0003】

まず、図24 (a) に示すように、シリコンなどの半導体基板101にS T I (Shallow Trench Isolation)技術等を用いて素子分離領域102を形成する。半導体基板101は、例えば、n型である。続いてゲート絶縁膜として、例えば、1nm程度のゲート窒化酸化膜103、ゲート電極104として100nm程度のポリシリコン膜104を成膜してゲート加工を行う。続いて、イオン注入技術を用いてソース・ドレイン領域の浅い部分である、例えば、p型のエクステンション領域105を形成する。イオン注入後の熱工程は、イオン注入により壊れた結晶を回復する程度に行っておく。具体的には、800°Cの数秒のR T A (Rapid Thermal Annealing) であれば十分である。

【0004】

次に、図24 (b) に示すように、ゲート電極104の側面に、ゲート側壁絶縁膜106をシリコン窒化膜やシリコン酸化膜などの成膜とエッチングを用いて形成し、ソース・ドレインの深い接合部分であるコンタクトジャンクション領域107を形成する。このコンタクトジャンクション領域107へのイオン注入によりゲート電極104にもコンタクトジャンクション領域と同じ不純物が注入される。

【0005】

次に、図24 (c) に示すように、コンタクトジャンクション領域107及びゲート電極104に注入されたイオンを活性化するために、1000°C以上の活性化工程を行う。このような高温が必要であるのは、ゲート空乏化を抑制するためである。この熱処理により、深くなったエクステンション領域108が形成される。

【0006】

次に、図24 (d) に示すように、サリサイド技術を用いて、シリコンが露出しているコンタクトジャンクション領域107表面及びゲート電極104の上面にC_oやN_iなどのシリサイド層109を形成する。

【0007】

また、従来技術には、例えば、非特許文献1にも記載されているように、コンケーブ型トランジスタがある。これは、ショートチャネル効果を防止する目的で作られたトランジスタであり、チャネルが形成されている領域には、半導体基板からの深さが少なくとも10nm程度の溝が形成されている。溝の側壁及び底面にはゲート絶縁膜が形成されている。

【0008】

この非特許文献1には、全面に形成したエレベーテッドソース・ドレイン領域をゲート部のみ分断し、その部分にAsのエクステンション領域を形成する (Fig. 1 (b))。さらに、内側に側壁を形成した後に、このエクステンション領域を分断してチャネル領域を作る (Fig. 1 (c))、製造工程が記載されている。

【非特許文献1】Junko Tanaka, et al., "A sub-0.1μm Grooved Gate MOSFET with

High Immunity to Short Channel Effects" IEDM Tech.Digest, pp.537-540 1993

【発明の開示】

【発明が解決しようとする課題】

【0009】

以上の工程により、一般にサリサイドゲートと呼ばれるMOSFET素子が完成する。以下、図25乃至図28を参照して従来のMISFETの製造方法及びその問題点について説明する。図25及び図26は、ごく浅いAsとBのイオン注入を行ったシリコンウェハーの深さ方向のAs又はBの濃度分布図、図27は、MISFETが形成された半導体基板のゲート電極エッジの拡大図、図28は、エクステンション領域がソース・ドレイン間でつながったMISFETの断面図である。

【0010】

ここで、MOSFETの微細化に対する問題の1つは、浅い接合であるエクステンション拡散領域105が、1000°C以上の熱工程により深くなってしまうことである。図25及び図26は、それぞれごく浅いAs(ひ素；arsenic)とB(ボロン；boron)のイオン注入を行ったシリコンウェハーの深さ方向のAs又はBの濃度分布である。ここでは1085°Cの熱処理前後での濃度分布を比較している。図から明らかのように、800°Cで数秒程度の熱処理だけであれば、現在のイオン注入技術を用いても、10nm程度の接合が形成されていることが分かる(接合深さは、チャネル濃度と同じ濃度になったところである。チャネル濃度は、ゲート長が50nm以下においては大体1E18/cm³から1E19/cm³の領域である。しかし、1085°Cの熱処理の場合、ボロンの接合深さは、30nm程度になってしまうことが分かる。

【0011】

図27(a), (b)は、MOSFETが形成された半導体基板のゲート電極エッジの拡大図である。それぞれ1000°C以上の熱処理前のエクステンション領域105と熱処理後の深くなったエクステンション領域108の状態を示している。熱処理後ではエクステンション拡散領域108は、深くなると同時に、横方向にも伸びている。横方向に伸びるのは、1E19/cm³以上の高濃度領域110が拡散源になっているためである。通常、横方向の伸び量は、深さ(A)方向の約2/3(A×2/3)である。したがって、図25から見積もると、図27(b)に示すように、横方向に20nm以上伸びてしまうことが分かる。すると、図28に示すように、ゲート長が40nm以下になると、エクステンション領域がソース・ドレイン間でつながってしまい、もはやMOSFET動作ができないくなる。

【0012】

このように、エクステンション領域がつながってしまうのを防ぐために、この部分に逆導電型の不純物を打ち込んで(例えば、エクステンション領域がn型ならp型不純物を打ち込む)不純物濃度を実質的に下げることによりエクステンション領域として機能する領域範囲を小さくしてこのつながりを断つ技術が知られているが、工程が複雑になる上、トランジスタ性能の劣化を招くので好ましい方法ではない。

【0013】

また、非特許文献1に記載されたコンケーブ型トランジスタは、通常のトランジスタに比べてチャネル長が長くショートチャネル効果が減少している。しかし、エクステンションを分断してチャネルを形成するこの方法においては、分断するための深さは、少なくともエクステンションの深さ方向の濃度がチャネルの濃度、つまり1E18cm³を十分に下回る領域となる深さが必要である。従って、図24及び図25より、その深さは少なくとも10nm以上が必要となることは明らかである。このような10nm以上の深さになると、エクステンション領域とゲート間のオーバーラップ量が極端に増加してしまうため、トランジスタの高性能化が出来なくなってしまう。

【0014】

本発明は、このような事情によりなされたものであり、エクステンション領域の不純物の導電型とは逆の導電型の不純物をエクステンション領域に打ち込むことによってその部

分を実質的にエクステンション領域ではなくするという手法にあまり頼らずに、具体的には、エクステンション領域に打ち込む逆導電型の不純物の量は最低限に減らすことができて、且つ現在のイオン注入技術と活性化熱処理技術を用いて微細なMISFETを実現することができる浅いソース・ドレイン領域（エクステンション領域）を有する半導体装置及びその製造方法を提供するものである。

【課題を解決するための手段】

【0015】

本発明は、半導体基板に形成されたMISFETのゲート電極下部に位置する部分がソース・ドレイン領域が形成された他の部分より窪んでいることを特徴としている。また、ソース・ドレイン領域のエクステンション領域がゲート電極下を延在する部分の長さは、エクステンション領域の深さの2/3より十分小さいことが特徴であり、この特徴により微細なMISFETを実現できる。また、その窪み深さは、6nm以下、好ましくは6~2nmが適している。

【0016】

また、本発明は、半導体装置の製造方法において、ソース・ドレイン領域が形成された半導体基板のゲート電極形成領域に窪みを形成し、その領域にゲート絶縁膜をプラズマ酸化などの低温（600°C以下、好ましくは500°C以下）で形成し、その上にゲート電極を堆積させることを特徴としている。この後にMISFETに対して行われるゲート電極中の不純物を活性化させるなどの熱処理（1000°C以上）によつても半導体基板中の不純物がゲート電極下を横方向に拡散することは従来より格段に少なくなり、微細なMISFETを実現できるエクステンション領域（浅いソース・ドレイン領域）を形成することが可能になる。

【0017】

本発明の半導体装置は、半導体基板と、前記半導体基板の表面領域に形成され、それぞれエクステンション領域とコンタクトジャンクション領域とから構成されたソース領域及びドレイン領域と、前記半導体基板上において前記ソース・ドレイン領域間上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを具備し、前記半導体基板の少なくとも前記ゲート電極が形成された下部の少なくとも一部は、前記半導体基板の他の部分より窪んでおり、且つその窪み深さは、6nm以下であることを特徴としている。前記窪みの半導体基板表面からの深さは、前記エクステンション領域のイオン注入時における不純物濃度ピークの半導体基板表面からの深さより深くしてもよい。不純物の横方向の拡散が有効に阻止されてゲート電極下の延在部分短くなる。

【0018】

前記ソース・ドレイン領域の前記エクステンション領域は、互いに対向して前記ゲート電極の下部に延在しており、その延在している部分の長さは、前記エクステンション領域の前記半導体基板表面からの深さの2/3より十分短いようにしても良い。前記ゲート電極の材料は、ポリシリコン、金属もしくはその合金、シリコンとゲルマニウムの混合物のいずれかを用いることができる。前記半導体基板に形成された半導体装置は、n型MISFET及びp型MISFETから構成された相補型MISFETであつても良い。前記ゲート電極にポリシリコンを用いた場合、前記ゲート電極表面及び前記ソース・ドレイン領域表面にはシリサイド層が形成されていることができる。

【0019】

本発明の半導体装置の製造方法は、半導体基板上にダミーゲート絶縁膜及びその上にダミーゲート電極を形成する工程と、前記半導体基板の表面領域に前記ダミーゲート絶縁膜及びダミーゲート電極をマスクにして不純物を注入しエクステンション領域を形成する工程と、前記ダミーゲート絶縁膜及びダミーゲート電極の側面にゲート側壁絶縁膜を形成する工程と、前記半導体基板の表面領域に前記ダミーゲート絶縁膜、前記ダミーゲート電極及びゲート側壁絶縁膜をマスクにして不純物を注入しコンタクトジャンクション領域を形成し、このコンタクトジャンクション領域と前記エクステンション領域とから構成されたソース領域及びドレイン領域を形成する工程と、前記半導体基板上に前記ダミーゲート絶

縁膜、前記ダミーゲート電極及びゲート側壁絶縁膜を被覆するように層間絶縁膜を形成する工程と、前記層間絶縁膜を前記ダミーゲート電極の表面が露出するまで研磨して表面の平坦化を行う工程と、前記ダミーゲート電極及び前記ダミーゲート絶縁膜を選択的に除去し、前記層間絶縁膜にゲート開口領域を形成する工程と、前記ゲート開口領域の底部に露出する前記半導体基板表面を酸化し、この酸化された部分を選択的に除去することにより前記半導体基板の表面領域に窪みを形成する工程と、前記ゲート開口領域底面の前記窪み表面を絶縁化してゲート絶縁膜を形成する工程と、前記ゲート開口領域内に前記ゲート電極材料を埋め込んでゲート電極を形成する工程とを備えたことを特徴としている。

【0020】

前記窪みの半導体基板表面からの深さは、前記エクステンション領域のイオン注入時における不純物濃度ピークの半導体基板表面からの深さより深くしてもよい。横方向の不純物拡散が有効に阻止される。

【0021】

前記層間絶縁膜は、エッチングストッパーとなるシリコン窒化膜及びその上に形成されたシリコン酸化膜から構成されているようにしても良い。前記層間絶縁膜を平坦化する工程において、平坦化処理は、化学的機械的研磨により行うようにしても良い。前記半導体基板の表面領域に窪みを形成する工程において、プラズマ酸素により前記半導体基板表面を600°C以下で酸化するようにしても良い。前記窪みの深さは、6nm以下であるようにしても良い。前記ゲート絶縁膜は、少なくともプラズマ酸化を用いて形成するようにしても良い。前記ゲート電極がポリシリコンで形成されている場合において、前記ゲート電極に不純物をイオン注入し、その後1000°C以上で熱処理して前記不純物を活性化させる工程をさらに備えるようにしても良い。前記ソース・ドレイン領域の不純物濃度が1E/19cm²以上の領域は、前記半導体基板から少なくとも10nm以下であるようにしても良い。前記ゲート電極にポリシリコンを用いる場合、前記層間絶縁膜を前記半導体基板から除去した後に、前記ゲート電極表面及び前記ソース・ドレイン領域表面にシリサイド層を形成するようにしても良い。

【発明の効果】

【0022】

本発明は、エクステンション領域の不純物の導電型とは逆の導電型の不純物をエクステンション領域に打ち込むことによってその部分を実質的にエクステンション領域ではなくするという手法にあまり頼らずに、具体的には、エクステンション領域に打ち込む逆導電型の不純物の量は最低限に減らすことができて、且つ現在のイオン注入技術と活性化熱処理技術を用いて微細なMISFETを実現できるソース・ドレイン領域のエクステンション領域を形成可能とすることができます。また、本発明の半導体装置の製造方法は、ゲート電極中の不純物を活性化させるなどの熱処理によっても半導体基板中の不純物がゲート電極下を横方向に拡散することは従来より各段に少なくすることができ、微細なMISFETを実現できるエクステンション領域の形成が可能になる。

【発明を実施するための最良の形態】

【0023】

以下、図面を参照して発明の実施の形態を説明する。

【0024】

(第1の実施形態)

本発明では、ソース・ドレイン領域を構成するエクステンション領域の接合深さが30nm程度となる従来のイオン注入+活性化アニール技術を用いても、横方向の拡散を20nm以下(エクステンション領域の接合深さの2/3以下)にする技術を提供するものである。そのために、本発明は、少なくともゲート電極下のチャネル領域に、ソース・ドレイン領域形成が完遂する前に、窪みを形成しておくことを特徴としている。

【0025】

まず、図1乃至図5を参照して第1の実施形態を説明する。

【0026】

図1乃至図3は、ポリシリコンをゲート電極とするMISFETの製造工程断面図、図4は、図3 (j) に示すMISFETの斜視図を示している。この実施形態におけるMISFETの形成方法を工程順に示し、その後この様な工程を適用する理由を述べる。図1 (a) に示された工程1は、シリコンなどの半導体基板1の表面領域にSTI技術などにより素子分離領域2を形成し、続いて、後に除去するダミーゲートの酸化膜を成膜する。続いて、後に除去するダミーゲートの電極材料として、例えば、ポリシリコン膜を成膜する。そして、ポリシリコン膜及び酸化膜に対してゲート加工を行ってダミーのゲート電極4及びゲート絶縁膜3を形成する。ダミーのゲート絶縁膜3は、6 nm程度の厚膜でも良い。従来のゲート絶縁膜には1.0 nm程度の極薄膜が要求されるが、このプロセスではダミーを用いるので、そのような極薄膜は必要としない。したがって、ポリシリコン膜のゲート加工は、ストッパーとなるゲート絶縁膜が6 nmと厚いため従来技術と比べて非常に容易になる。そして、従来技術と同様に、イオン注入技術を用いて、エクステンション領域5、ゲート側壁絶縁膜6、コンタクトジャンクション領域7を形成する。

【0027】

イオン注入後は、せいぜい結晶回復のために800°C程度の熱処理を行う。これによつてエクステンション領域の深さは、10 nm以下に形成されている。半導体基板は、例えば、n型であり、エクステンション領域は、p型である。

【0028】

次に、図1 (b) を参照して工程2を説明する。この工程では、層間絶縁膜をダミーのゲート電極上に形成する。この層間絶縁膜として、例えば、後のエッチングストッパーとなるライナーシリコン窒化膜(SiN)8及びシリコン酸化膜(SiO₂)9を順次堆積させる。

【0029】

次に、図1 (c) を参照して工程3を説明する。この工程では、層間絶縁膜を構成するライナーシリコン窒化膜(SiN)8及びシリコン酸化膜(SiO₂)9をCMP(Chemical Mechanical Polishing)法等により研磨する。そしてダミーのゲート電極4が露出するまで研磨して層間絶縁膜の表面を平坦化する。

【0030】

次に、図2 (d) を参照して工程4を説明する。この工程では、層間絶縁膜から露出したダミーのゲート電極4を選択的に除去する。除去方法としては、例えば、プラズマを用いたエッチング法などを用いれば容易に行うことができる。続いて、ダミーのゲート絶縁膜3を希フ酸などの酸を用いて除去する。この処理により、半導体基板1のチャネル領域の表面が露出する。そして、層間絶縁膜8、9には、ダミーのゲート電極及びゲート酸化膜の形成跡がゲート開口溝10として形成される。

【0031】

次に、図2 (e) を参照して工程5を説明する。ここではゲート開口溝10の底面に露出したチャネル領域表面を酸化する。プラズマ酸素によりチャネル表面を酸化してプラズマ酸化膜11を形成する。酸化量は、膜厚12 nm程度の量で良い。酸化温度は600°C以下、好ましくは500°C以下の低温が良い。

【0032】

次に、図2 (f) を参照して工程6を説明する。ここではプラズマ酸化膜11を除去する。例えば、希フ酸などを用いてチャネル領域の表面に形成したプラズマ酸化膜11を選択的に除去する。この処理により、チャネル領域の表面は窪んで、リセスドチャネル12が形成される。チャネル領域の窪み深さ(以下、リセス(Recess)量という)は、プラズマ酸化膜11の膜厚の約半分である。したがって、このリセスドチャネル12は、リセス量が約6 nmである。

【0033】

次に、図3 (g) を参照して工程7を説明する。ここではゲート電極及びゲート絶縁膜を形成する。ゲート絶縁膜13は、例えば、プラズマ酸化により1.0 nm程度の酸化膜を形成し、続いてプラズマ窒化により酸化膜表面を窒化したシリコン酸化窒化膜から構成

されている。全てプラズマによるプロセスで形成しているので、600°C以下で形成可能である。続いて、ゲート開口溝10にゲート電極材料を埋め込んでゲート電極14を形成する。埋め込み方法は、例えば、ゲート電極材料を半導体基板1の全面に成膜し、この膜をCMPなどにより平坦化するというものがある。この実施形態ではゲート電極材料としてポリシリコンを用いる。本発明では金属もしくはその合金やシリコンとゲルマニウムなどの混合物などを用いることができる。

【0034】

次に、図3(h)を参照して工程8を説明する。この工程では、形成されたゲート電極の熱処理を行う。この実施形態のゲート電極材料は、ポリシリコンである。ゲート電極14がポリシリコンであるので、イオン注入技術を用いて、ゲート電極14に砒素(A s)やリン(P)、ボロン(B)などの不純物を導入する。続いて、ゲート電極14に注入された不純物を活性化するために1000°C以上の活性化熱処理工程を行う。この熱処理によって、エクステンション領域5も深くなり、拡散深さが深いエクステンション領域15が形成される。

【0035】

次に、図3(i)を参照して工程9を説明する。この工程では層間絶縁膜9をフッ酸などを用いて選択的に除去する。続いて、ライナーソン膜8に対してRIE(Reactive Ion Etching)などの異方性エッチングを行うことによりコンタクトジャンクション領域7の表面を露出させる。

【0036】

次に、図3(j)及び図4を参照して工程10を説明する。図4は、図3(j)に示されるMISFETの斜視図である。この工程では、サリサイドプロセスを用いて、シリコンが露出しているゲート電極14の上面とコンタクトジャンクション領域7の上面に選択的にCoやNiなどのシリサイド層16を形成する。

【0037】

以上、工程1～工程10により第1の実施形態に係る半導体装置であるMISFETが形成される。この実施形態では、工程5及び工程6に説明したように、リセスドチャネルを形成するところに特徴がある。リセスドチャネルは、ゲート電極下の半導体基板に窪み(リセス)が設けられているチャネル領域を意味する。

【0038】

リセスドチャネルは、従来から提案されているが(前述したコンケーブ型MISFET参照)、本発明は、従来と根本的に異なるところがある。まず、1つは本発明がプラズマ酸化膜を用いているところである。従来にも、熱酸化膜により酸化膜を形成して、エッチングする技術が提案されているが、この方法では、12nmの酸化膜を形成するのに少なくとも700°C以上で数分以上の処理が必要となるため、エクステンション領域中の不純物がこの熱工程で拡散してしまってエクステンション領域が深くなるという問題がある。

【0039】

これに対し、本発明は、この実施形態に示すように、プラズマ酸化を用いているので、まず、酸化温度が少なくとも600°C以下の低温であり、エクステンション領域中の不純物が酸化中に拡散することは全くない。そして、チャネル領域のリセス量は酸化膜厚の約半分であるが、プラズマ酸化膜厚は現時点でもウェハー面内で0.2nm以下の誤差に制御することが可能であるため、チャネル領域のリセス量の誤差は0.1nm以下にすることが可能であり、ウェハー面内できわめてしきい値ばらつきの少ないトランジスタを形成することが可能である。

【0040】

以上が第1の実施形態で説明する本発明の第1の作用効果であり、従来のリセスドチャネルを有する半導体装置と異なるところである。

【0041】

次に、さらに従来のものより優れた他の作用効果を説明する。

【0042】

図5は、それぞれ工程7と工程8におけるゲート電極端を含む部分を拡大した平面図である。図5(a)は、熱処理前のエクステンション領域の一部を示しており、半導体基板1の表面領域にはエクステンション領域5内の高濃度拡散領域17(図11、図12及び図13の110に相当する)がある。工程8における1000°C以上の熱処理のゲート活性化工程の前においては、図5(a)に示したエクステンション拡散層5の深さは10nm以下である。そして、従来技術では、この後の1000°Cの熱処理により、1E19/cm³以上の高濃度拡散領域17が、横方向の拡散の拡散源になって、20nm以上横方向にエクステンション領域5が広がってしまった。横方向の拡散量は深さ方向の拡散量の約2/3であるので、深さ方向の拡散量は、30nm程度である。

【0043】

しかしながら、本発明においては、この高濃度拡散領域の深さ分(約6nm)だけチャネル領域が窪んでいる。従って、図5(b)に示すように、高濃度拡散領域17は、直接横方向に拡散することが出来ない。図5(b)は、熱処理後のエクステンション領域の一部を示している。従って、1000°C以上の熱処理後のエクステンション領域15は、横方向の拡散が従来技術に比べて飛躍的に少なくなる。すなわち、横方向の拡散量は、図5(b)に示すように、深さ方向の拡散量(A)の約2/3より十分小さくなる(<<2A/3)。つまり、20nmより十分小さい。

【0044】

以上が、この実施形態で説明する本発明の第2の作用効果である。

【0045】

例えば、従来のリセスドチャネルを有するMISFETの形成方法では、エクステンション拡散層深さ分の全てをリセスするなどの報告例があり、従来の技術で説明したコンケーブ型MISFETはリセス量が少なくとも10nmである。しかし、本発明のものはこれとは全く異なっている。つまり、チャネル領域のリセス量は、1000°C以上の熱処理前のエクステンション領域の1E19/cm³以上の高濃度拡散領域の深さ分だけリセスすればよい。

【0046】

エクステンション領域の深さ分を全てリセスする必要は全くないし、また、そのエクステンション領域は、1000°C以上の熱処理などのエクステンション領域の高濃度拡散領域の深さが6nm以上になるような熱処理を行う前のエクステンション領域でなければならない。つまり、1000°C以上の熱処理などが加わったあとで、チャネル領域をリセスした場合は、従来例の図28に示したように、既にエクステンション領域がソース・ドレイン領域間で繋がってしまっており、これを6nm程度リセスしたところでトランジスタ動作はしないためである。ここが従来の方法と異なるところである。従来は、エクステンションを完全に形成した後にチャネルをリセスする方法である。

【0047】

本発明では、チャネル領域をリセスした後に1000°C以上の熱処理など、エクステンション領域が深くなる熱処理を行う。勿論1000°C以上の熱処理でも、エクステンション領域が深くならない極短時間の熱処理で有れば、この熱処理の後にチャネル領域をリセスすることは差支えない。

【0048】

さらに、本発明は、エクステンション領域の1E19/cm³以上好ましくは1E18/cm³以上の高濃度拡散領域の深さが、6nm以下好ましくは6~2nmになっている状態でチャネル領域をその高濃度拡散領域の深さ分だけリセス(窪みを作る)するのを特徴とする。したがって、本発明で形成されたエクステンション領域15は、従来技術のものとは、2次元の不純物の拡散広がりが異なっている。その広がり方は、イオン注入条件などにより変化するため一概に規定することは出来ないが、シミュレーションなどで容易にその違いを知ることが可能である。簡単に言えば、ゲート電極の下部に位置する領域のエクステンション領域は、主にゲート電極の横に位置する高濃度拡散領域中の不純物が拡散することにより形成されている。よって、自ずと形状は決まってくる。すなわち、ゲー

ト電極の下部に位置する領域のエクステンション領域は、このエクステンション領域の深さ方向の距離の約2/3より十分小さい形状をしている。そして、チャネル長は、微細化が進んでもトランジスタ特性を維持するに十分な長さを確保することができる。また、先に説明した従来のコンケーブ型トランジスタに用いられる熱酸化処理及びエッチングによりリセスドチャネルを形成する方法では、熱酸化を行う時点ではエクステンション領域の高濃度拡散領域の不純物が熱拡散してしまうため、本発明の様な不純物拡散領域を形成することは不可能である。

【0049】

本発明の特徴を纏めると以下の3つである。

【0050】

1) チャネル領域のリセス方法は、プラズマ酸素による酸化技術を用いた600℃以下好ましくは500℃以下におけるチャネル領域の酸化及びウェットエッチング技術によるプラズマ酸化膜の除去である。

【0051】

2) チャネル領域のリセス量は、エクステンション領域の $1\text{E}19/\text{cm}^3$ 以上好ましくは $1\text{E}18/\text{cm}^3$ 以上の高濃度拡散領域の深さ分だけチャネル領域をリセスすればよい。具体的なチャネル領域のリセス量は6nm以下好ましくは6nm～2nmでよい。また、エクステンション領域の高濃度拡散領域の深さは、チャネル領域をリセスする時点で、少なくとも6nm以下好ましくは6nm～2nmとなっているように熱処理を加える。具体的には、チャネル領域をリセスするまでは、エクステンション領域には、せいぜい800℃程度で数分以下或いは1000℃以上においても、 $1\text{E}19/\text{cm}^3$ 以上の高濃度拡散領域の深さが6nm以下好ましくは6nm～2nm以下程度になる短い時間の熱処理にとどめることである。チャネル領域をリセスした後は、前記高濃度拡散領域の深さが6nm以上になるような熱処理が加わっても問題はない。

【0052】

3) ゲート電極の下部に位置する領域のエクステンション領域は、このエクステンション領域の深さ方向の距離の約2/3より十分小さい。

【0053】

以上が本発明の特徴の説明であるが、チャネル領域のリセス方法はプラズマ酸化以外にも、ドライエッチングやウェットエッチングにより半導体基板を直接エッチングしてもよい。この方法は過去にも提案されているが、これと違うのは、上記2)に示した部分である。

【0054】

また、上記実施形態は、ポリシリコンゲートを用いている。しかし、本発明はシリコンとゲルマニウムの混合物を用いたゲート電極でも同様の効果を発揮することができる。

【0055】

さらに、ゲート電極の不純物の活性化のための熱処理工程を必要としないメタルゲートにおいても効果が発揮される。なぜなら、1000℃以上の熱処理を加える前のエクステンション領域は、十分に不純物が活性化していないし、また接合が浅すぎるため、エクステンション領域のシート抵抗が高すぎてトランジスタの高性能化が出来ないためである。つまり、エクステンション領域中の不純物をより活性化させて、さらにエクステンション領域をある程度深くして、エクステンション領域の低抵抗化を行わないと、高性能トランジスタを形成することは出来ない。本発明では、エクステンション領域が深くなっても、横方向の拡散は飛躍的に抑制することができるため、1000℃以上の熱処理を加えてエクステンション領域をある程度深くしても全く問題にならない。つまり、メタルゲートにおいても、少なくともチャネルをリセスした後にエクステンション領域が20nm以上の深さになるような熱処理を加えてもトランジスタ特性上全く問題にならない。

【0056】

(第2の実施形態)

以下、図6及び図7を参照して第2の実施形態を説明する。

【0057】

図6及び図7は、メタルをゲート電極とするMISFETの製造工程断面図を示している。この実施形態では、nMISFET及びpMISFETで構成される相補型トランジスタを説明する。このMISFETを形成するにあたり、例えば、WSixなどのゲート電極材料を埋め込むまで(図6(a))は、第1の実施形態の図3(h)までの工程と同じであるのでその説明を省略する。なお、この時までに、半導体基板は、ソース・ドレイン領域の低抵抗化を図るために1000°C以上の熱処理(リセス後あるいはゲート酸化膜形成後)を行っているので、図6(a)の時点では深いエクステンション領域30が形成されている。

【0058】

図6(a)において、図の左がnMISFET、右がpMISFETである。双方のMISFETは、シリコンなどの半導体基板21のSTIなどの素子分離領域22に区画された素子領域に形成された熱処理後の深いエクステンション領域30及びコンタクトジャンクション領域27からなるソース・ドレイン領域を有している。シリコン窒化膜及びシリコン酸化膜から構成された層間絶縁膜26にはWSixなどからなるゲート電極24が埋め込まれている。半導体基板21のチャネル領域にはゲート電極24の一部が埋め込まれた窪みが形成され、半導体基板21とゲート電極24との間にはゲート絶縁膜23が介在している。

【0059】

次に、図6(b)に示すように、半導体基板21にはゲート電極24を被覆するPt膜28が形成される。nMISFET側には、ゲート電極24とPt膜28との間に、例えば、TiNなどのバリア層29がさらに形成される。そして、Pt膜28には、安定して熱処理が行われるように、膜厚20nm程度のTiNなどのバリア層25が形成される。

【0060】

次に、Pt膜28等を被覆してから500°C程度で半導体基板21を熱処理する。そして、図7(c)に示すように、この熱処理により、pMISFET側のゲート電極24は、Pt膜と反応して、W+PtSi+WSixからなるゲート電極31に変わる。nMISFET側ではバリア層29がPtとWSixとの反応を阻止しているのでゲートは、ゲート電極24のままである。

【0061】

次に、図7(d)に示すように、Pt膜及びTiNバリア層を王水などにより除去する。このあと後工程を行う。このようにして、メタルゲートの相補型MISFETが形成される。

【0062】

このように、本発明は、メタルゲートのMISFETにも適用することができる。すなわち、メタルゲートにおいても、少なくともチャネル領域をリセスした後にエクステンション領域が20nm以上の深さになるような熱処理を加えてもトランジスタ特性上全く問題にならない。

【0063】

また、チャネル領域のリセス量は、nMISFETとpMISFETで変えて良い。リセス量を変えるためには、例えば、工程3を行った後に、まずnMISFET領域だけダミーゲートを除去し、工程7までを順次行い、続いて、pMISFET領域だけダミーゲートを除去し、工程7までを順次行えば、チャネル領域のリセス量をnMISFETとpMISFETで独立に変化させることができる。また、ダマシングエートプロセスでは一般的であるが、チャネルの不純物のイオン注入を少なくともダミーゲート電極を除去後に行っても良い。その他、これまで報告されているゲート絶縁膜形成技術やゲート電極形成技術など、本発明の趣旨を逸脱しなければ、様々な組み合わせが可能である。

【0064】

以上、本発明の半導体装置の製造方法によってトランジスタを試作し、その特性結果を示す。図8は、このトランジスタのしきい値をゲート長に対してプロットした図である。

縦軸がしきい値 (V_{th} (V)) を示し、横軸がトランジスタのゲート長 (L_{gate} (nm)) を示している。図に示すように、チャネル領域の窪み深さ (リセス量 (recessed depth)) が 2 nm から 6 nm に増えるに従って、短いゲート長でしきい値が下がってしまうショートチャネル効果が改善されているのが分かる。そして、リセス量が 6 nm においては、ゲート長 3.5 nm においても良好なトランジスタ特性を示している。このトランジスタは、当然現在のイオン注入技術と活性化熱処理技術を用いて形成されている。熱処理技術をあと少し改善すれば (具体的には 1000 °C 以上の熱処理をより短時間化すれば) 、ゲート長 1.5 nm の動作も可能であることがわかる。

【0065】

(第3の実施形態)

上記従来技術での問題点を回避する製造方法を発明したので、以下に工程を追ってその内容を説明する。

【0066】

本実施形態では、DRAM と I/O 部は厚いゲート酸化膜と poly-Si ゲート電極の MISFET で構成されて、高速ロジック回路のみにおいて、高誘電体ゲート絶縁膜と、浅い接合を形成できるリセスドチャネルを有する MISFET で構成された構造を実現する技術を提供する。図に工程順に本発明を示す。

【0067】

図 9～図 17 を参照して説明する。図 9～図 17 は、本発明の第3の実施形態に係わる MISFET の製造工程を示す断面図である。図 9～図 17 において、図 n (a) は DRAM、図 n (b) は周辺回路、図 n (c) は高速ロジック回路を示している (n = 9～18)。

【0068】

まず、DRAM 領域にシリコン基板 1 に DRAM のキャパシタとなる例えばトレンチキャパシタ (図示せず) を形成する。図 9 に示すように、STI 技術等を用いて素子分離領域 2 を形成する。

【0069】

次いで、図 10 に示すように、DRAM、周辺回路、及び高速ロジック回路の Si 基板 1 上に、DRAM などに用いられる 6 nm 程度の厚いゲート酸化膜 41 を形成する。続いて、周辺回路などに用いる 3 nm 程度のゲート酸化膜を形成するために、リソグラフィー技術とウェットエッティング技術により、周辺回路の厚いゲート酸化膜 41 を選択除去する。レジスト除去後、図 11 に示すように、周辺回路の Si 基板 1 上に 3 nm 程度のゲート酸化膜 42 を形成する。

【0070】

従来技術では、さらに高速ロジック回路に極薄膜ゲート絶縁膜を成膜したが、本実施形態ではここで極薄膜の高誘電体ゲート絶縁膜は成膜しない。また、ゲート酸化膜 41、42 にピンホールを形成するようなフッ酸処理もないため、DRAM や周辺回路の MISFET のゲート酸化膜には、信頼性低下の問題が生じない。

【0071】

図 12 に示すように、100 nm 程度のポリシリコン膜を成膜、加工してゲート電極 43 を形成する。高速ロジック回路のゲート長は 20 nm、DRAM のゲート長は 6.5 nm、周辺回路のゲート長は 0.2 μm である。そして、イオン注入技術や熱処理技術、ゲート側壁 44 を用いて、ソース・ドレイン領域 45 を形成すると共にゲート電極 43 に不純物のドーピングを行う。このときの熱処理は、高濃度活性化が必要な従来技術と異なり、高温である必要はない。イオン注入時に損傷したシリコン基板の結晶性を回復する程度でも良いので 600 度程度以上であれば問題ない。高温が必要ないのは、後の工程において特開 2002-151428 公報に記載された Xe フラッシュランプを用いた FLA (Flash Lamp Anneal) 技術や、ランプアーナール技術を用いた高温短時間熱処理を行うためである。

【0072】

図13に示すように、層間膜46を堆積して平坦化を行う。続いて、高速ロジック回路のみゲート電極43を選択除去して高速ロジック回路のゲート領域のみを開口し、溝47を形成する。

【0073】

開口して現れた溝47底のチャネル領域を10nm程度酸化して、フッ酸によりこの酸化膜のエッチングを行う。図14に示すように、この処理により、深さが5nm程度のリセスドチャネル48が形成される。このとき酸化はプラズマ酸化を用いることによって、500°C以下の低温で酸化が行える。500°C以下の低温で酸化することによって、800度程度の熱酸化で行う方法とは異なり、ソース・ドレイン不純物が酸化時の熱により拡散し、拡散層が深くなってしまう問題はない。

【0074】

リセスドチャネル48表面の1nm程度の自然シリコン酸化膜(図示せず)をフッ酸処理により除去した後、図15に示すように、高誘電体ゲート絶縁膜49とpoly-Siまたはpoly-Si-Geからなる高速ロジック回路のゲート電極材料50を全面に成膜する。

【0075】

従来技術と異なり、高誘電体ゲート絶縁膜49の成膜前にフッ酸処理を行うことが出来る。その理由は、フッ酸処理を行う時点において、DRAMの厚いゲート酸化膜41や周辺回路の3nm程度のゲート酸化膜42は露出していないためである。

【0076】

少なくとも高速ロジック回路のnMOSFETとpMOSFETのゲート電極領域に、それぞれに最適な不純物のイオン注入を行う。通常nMOSFETに対しては、ヒ素またはリン、pMOSFETはボロンが不純物として最適である。

【0077】

続いてFLA処理またはLA処理を行う。従来技術とは異なり、ウェハー表面は全て高速ロジック回路のゲート電極材料50で覆われているため、従来技術のように異なった表面状態が存在して、素子が破壊されるといった問題は一切なくなる。また、FLA処理やLA処理の前に、ゲルマニウムなどをイオン注入して、高速ロジック回路のゲート電極材料50をよりアモルファス化しておいても良い。アモルファス化をより行うことで、FLA処理やLA処理で照射される光の吸収率が上がり、より高温の活性化が出来るためである。

【0078】

次いで、図16に示すように、ゲート電極材料50の平坦化を行って、高速ロジック回路のゲート電極50を形成する。ゲート電極50がポリシリコンであるので、イオン注入技術を用いて、ゲート電極50に砒素(A₃)やリン(P)、ボロン(B)などの不純物を導入する。続いて、ゲート電極50に注入された不純物を活性化するために1000°C以上の活性化熱処理工程を行う。この熱処理によって、エクステンション領域も深くなり、拡散深さが深いエクステンション領域が形成される。

【0079】

図17に示すように、周辺回路(図17(b))と高速ロジック回路(図17(c))の層間膜46を除去し、ソース・ドレイン拡散層45の表面を露出させる。続いて、周辺回路と高速ロジック回路のソース・ドレイン拡散層46及びゲート50の上面とDRAM(図17(a))のゲート50上面にたとえばN_iシリサイド51をサリサイド技術を用いて形成する。その後、ソース・ドレイン拡散層45、ゲート43への配線を行ってトランジスタが完成する。

【0080】

本実施形態では、DRAMのキャパシタに金属が混入されることを懸念して、DRAMのソース・ドレイン45にはN_iシリサイド51を形成しなかった。DRAMの高速化などの要求に応じて、たとえば、トレンチキャパシタが接続されていないドレイン側のみ層間膜46を除去して、ドレイン側のみにN_iシリサイド51を形成しても良い。

【0081】

以上により、高速ロジック回路のみに高誘電体ゲート絶縁膜49を有し、さらに高速ロジック回路のみにリセスドチャネルを有するDRAMを混載したLSI回路を形成することができる。また高速ロジック回路は、リセスドチャネルを有して、かつ、不純物の活性化熱処理を高温短時間のフラッシュランプアニール処理またはランプアニール処理で行っているため、ソース・ドレイン拡散層が極めて浅く、かつ、低抵抗なソース・ドレイン拡散層が実現できており、かつ、高濃度に活性化されたゲート電極を有しているため、高駆動力のトランジスタを形成することができる。

【0082】

また、高速ロジック回路の高誘電体絶縁膜49の成膜直前には、フッ酸処理が行われており、従来技術のように高誘電体絶縁膜49とチャネルの間に1nm以上のシリコン酸化膜界面層が存在することもないため、1nm以下の電気的シリコン酸化膜換算膜厚を実現できる。

【0083】

(第4の実施形態)

上記実施形態1は、高速ロジック回路にポリシリコンまたはpoly-Si-Geからなるゲート電極材料50を埋め込んだが、メタルゲートを電極として使用しても、メリットが得られる。それを工程を追って説明する。

【0084】

図18～図24を参照して説明する。図18～図24は、本発明の第4の実施形態に係わるMISFETの製造工程を示す断面図である。図18～図24において、図m(a)はDRAM、図m(b)は周辺回路、図m(c)は高速ロジック回路のnMOSFET領域、図m(d)は高速ロジック回路のpMOSFET領域を示している(n=18～24)。

【0085】

第3の実施形態で図9～図13を用いて説明した工程と同様の工程を行う。続いて、ゲート電極43に注入された不純物を活性化するために1000℃以上の活性化熱処理工程を行う。この熱処理によって、エクステンション領域も深くなり、拡散深さが深いエクステンション領域が形成される。次いで図18に示すように、高誘電体ゲート絶縁膜49を堆積した後、たとえばタンゲステンシリサイド膜60を成膜する。タンゲステンシリサイド膜60は、仕事関数が4.6eV以下であり、nMOSFETのゲート電極に適している。また、タンゲステンシリサイド膜60中のシリコンの含有量を調整することで、仕事関数を変化させることが出来る。さらに、タンゲステンシリサイド膜60にリンや砒素やアンチモンやテルルやセレンやゲルマニウムやガリウムやインジウムやボロンを含有させることでも仕事関数を変化させることが出来る。そのLSIに要求される仕事関数に応じて、上記手法で仕事関数を制御することが出来る。

【0086】

次いで、図19に示すように、後にバリア膜となる膜厚10nm程度のシリコン窒化膜61を堆積する。高速ロジック回路のpMOSFET領域のシリコン窒化膜61を選択除去する(図19(d))。次いで、図20に示すように、膜厚50nm程度のPt膜62と膜厚10nm程度のTiN膜63を成膜する。

【0087】

500℃程度以下の温度で熱処理を行う。この熱処理により、図21に示すように、高速ロジック回路のpMOSFET領域のタンゲステンシリサイド60のみが上面のPt膜62と反応し、メタルゲート電極64が形成される。メタルゲート電極64は、PtSiまたはWまたはこれらの混合物である。メタルゲート64の仕事関数は4.6eV以上であるので、高速ロジック回路のpMOSFETのゲート電極は、pMOSFETに適した仕事関数の電極となる。

【0088】

図22に示すように、層間膜46が露出するまで平坦化を行って、高速ロジック回路の

nMOSFET領域(図22(c))にタンゲステンシリサイド膜60、pMOSFET領域(図22(d))にメタルゲート64を形成する。

【0089】

図23に示すように、周辺回路(図23(b))と高速ロジック回路(図23(c), 23(d))の層間膜46を除去し、ソース・ドレイン拡散層45の表面を露出させる。続いて、周辺回路(図23(b))と高速ロジック回路(図23(c), 23(d))のソース・ドレイン領域45、ゲート43, 60, 64の上面とDRAM(図23(a))のゲート43上面にたとえばNiシリサイド65をサリサイド技術を用いて形成する。その後、ソース・ドレイン・ゲートへの配線を行ってトランジスタが完成する。

【0090】

本実施形態では、DRAMのキャパシタに金属が混入されることを懸念して、DRAMのソース・ドレイン45にはNiシリサイド51を形成しなかった。DRAMの高速化などの要求に応じて、たとえば、トレンチキャパシタが接続されていないドレイン側のみ層間膜46を除去して、ドレイン側のみにNiシリサイド51を形成しても良い。

【0091】

以上により、高速ロジック回路のみに高誘電体ゲート絶縁膜49とメタルゲート電極60, 64を有し、nMOSFET領域のメタルゲート60の仕事関数が4.6eV以下でpMOSFET領域のメタルゲート電極64の仕事関数が4.6eV以上であるトランジスタを形成することができた。かつ、DRAMには、高誘電体ゲート絶縁膜49やメタルゲートは存在しないため、DRAMの金属汚染の問題を回避することが可能となった。

【0092】

なお、本発明は、前述した実施形態に限定されるものではない。本発明の技術思想の範囲内において各実施形態は、適宜変更され得ることはいうまでもない。

【0093】

以上、本発明は、従来と同様のイオン注入技術と活性化技術を用いて、より微細であり、且つ高性能なトランジスタを形成することができるようになった。

【図面の簡単な説明】

【0094】

【図1】本発明の第1の実施形態におけるポリシリコンをゲート電極とするMISFETの製造工程断面図。

【図2】本発明の第1の実施形態におけるポリシリコンをゲート電極とするMISFETの製造工程断面図。

【図3】本発明の第1の実施形態におけるポリシリコンをゲート電極とするMISFETの製造工程断面図。

【図4】本発明の第1の実施形態におけるポリシリコンをゲート電極とするMISFETの製造工程断面図。図4(b)は、図4(a)に示すMISFETの斜視図。

【図5】本発明の第1の実施形態における作用効果を説明する熱処理前後のゲート電極端を含む部分を拡大した半導体基板平面図。

【図6】本発明の第2の実施形態におけるメタルをゲート電極とするMISFETの製造工程断面図。

【図7】本発明の第2の実施形態におけるメタルをゲート電極とするMISFETの製造工程断面図。

【図8】本発明の半導体装置におけるしきい値のゲート長依存性を示す特性図。

【図9】第3の実施形態に係わるMISFETの製造工程を示す断面図。

【図10】第3の実施形態に係わるMISFETの製造工程を示す断面図

【図11】第3の実施形態に係わるMISFETの製造工程を示す断面図。

【図12】第3の実施形態に係わるMISFETの製造工程を示す断面図。

【図13】第3の実施形態に係わるMISFETの製造工程を示す断面図。

【図14】第3の実施形態に係わるMISFETの製造工程を示す断面図。

【図15】第3の実施形態に係わるMISFETの製造工程を示す断面図。

- 【図16】第3の実施形態に係わるMISFETの製造工程を示す断面図。
- 【図17】第3の実施形態に係わるMISFETの製造工程を示す断面図。
- 【図18】第4の実施形態に係わるMISFETの製造工程を示す断面図。
- 【図19】第4の実施形態に係わるMISFETの製造工程を示す断面図。
- 【図20】第4の実施形態に係わるMISFETの製造工程を示す断面図。
- 【図21】第4の実施形態に係わるMISFETの製造工程を示す断面図。
- 【図22】第4の実施形態に係わるMISFETの製造工程を示す断面図。
- 【図23】第4の実施形態に係わるMISFETの製造工程を示す断面図。
- 【図24】従来の半導体装置の製造方法を示す工程断面図。
- 【図25】従来の半導体装置の製造方法の問題点を説明する半導体基板内部の特性図
 - 【図26】従来の半導体装置の製造方法の問題点を説明する半導体基板内部の特性図
 - 【図27】従来の半導体装置の製造方法の問題点を説明する半導体基板の部分断面図
 - 【図28】従来の半導体装置の製造方法の問題点を説明する半導体基板の部分断面図

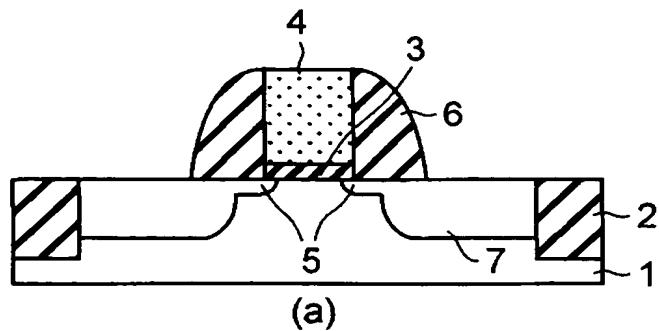
【符号の説明】

【0095】

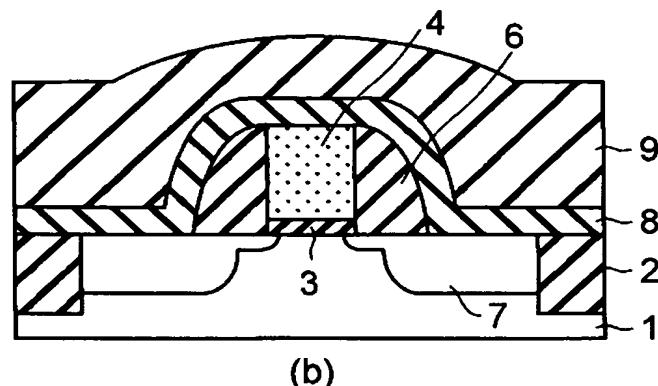
1、21、101・・・半導体基板、 2、22、102・・・素子分離領域、 3・・・ダミーのゲート絶縁膜、 4・・・ダミーのゲート電極、 5、105・・・エクステンション領域、 6、106・・・ゲート側壁絶縁膜、 7、27、107・・・コンタクトジャンクション領域、 8・・・ライナーシリコン窒化膜、 9・・・シリコン酸化膜、 10・・・ゲート開口溝、 11・・・プラズマ酸化膜、 12・・・リセスドチャネル、 13、23・・・ゲート絶縁膜、 14、24、31・・・ゲート電極、 15、30、108・・・熱処理により深くなったエクステンション領域、 16、109・・・シリサイド層、 17、110・・・ソース・ドレイン領域内の高濃度拡散領域、 25、29・・・バリア層、 26・・・層間絶縁膜、 28・・・Pt膜、 103・・・ゲート窒化酸化膜、 104・・・ゲート電極（ポリシリコン膜）

【書類名】 図面

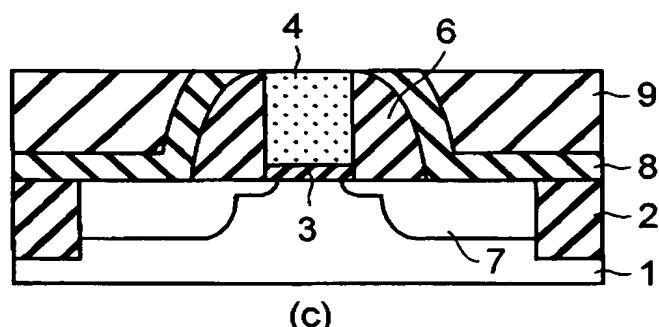
【図1】



(a)

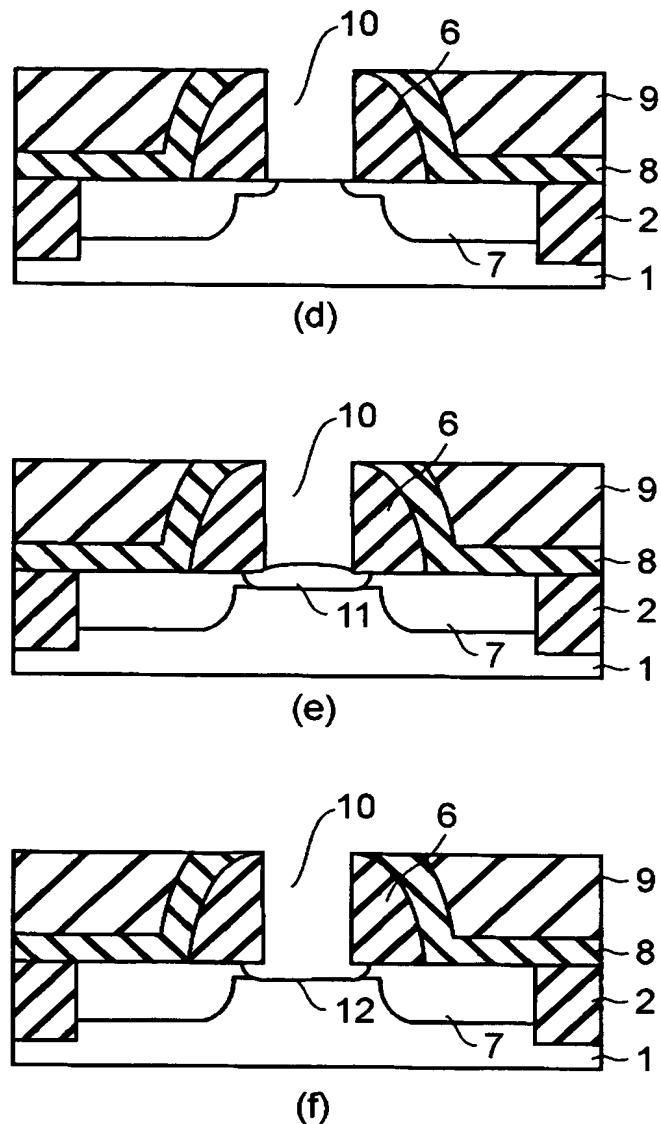


(b)

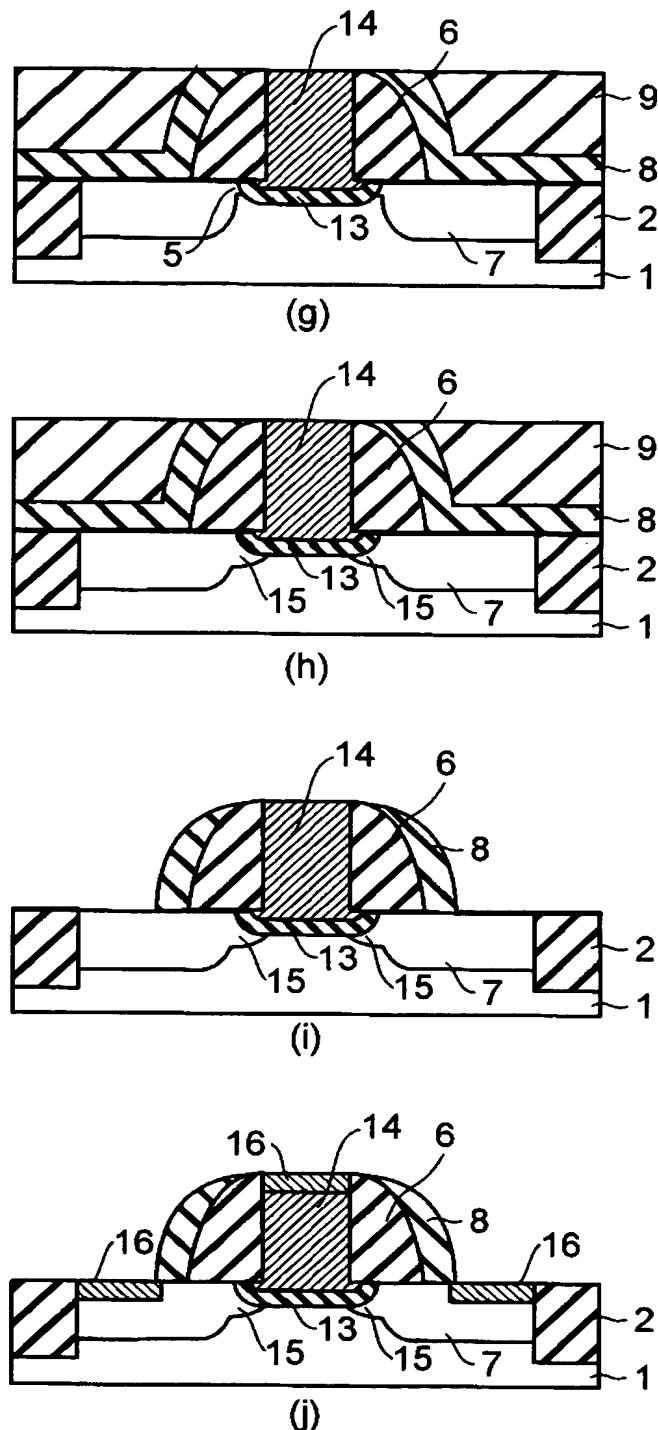


(c)

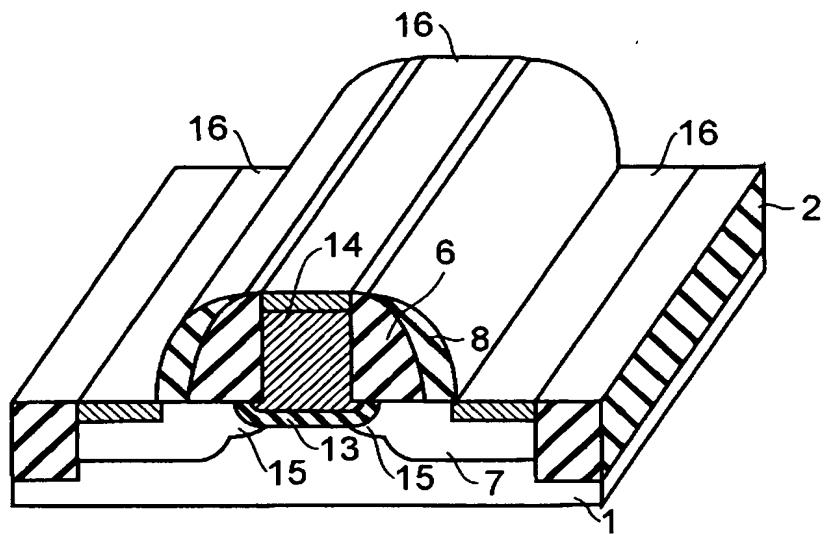
【図2】



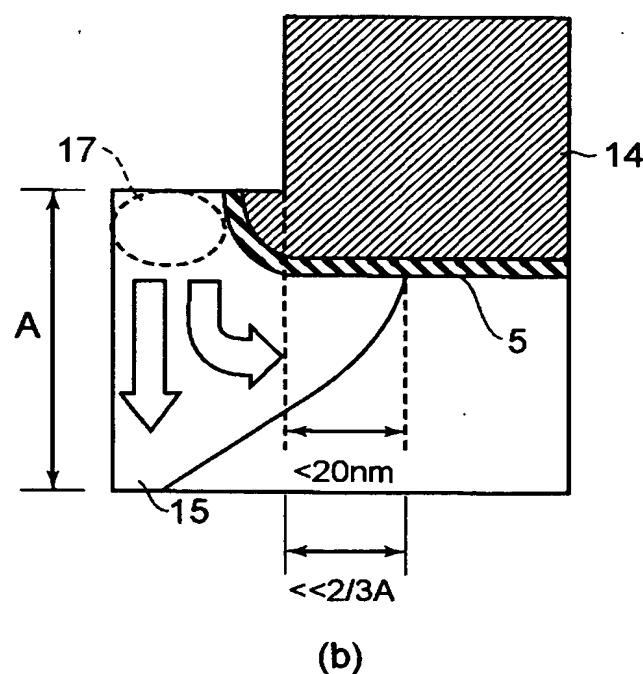
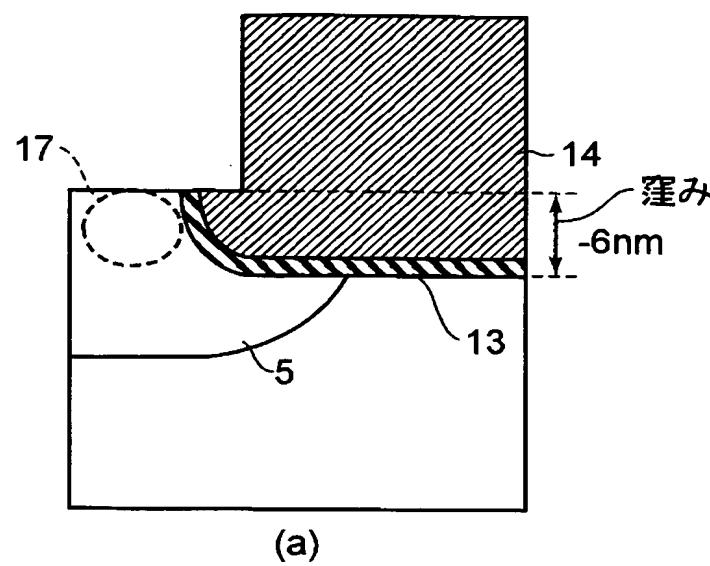
【図3】



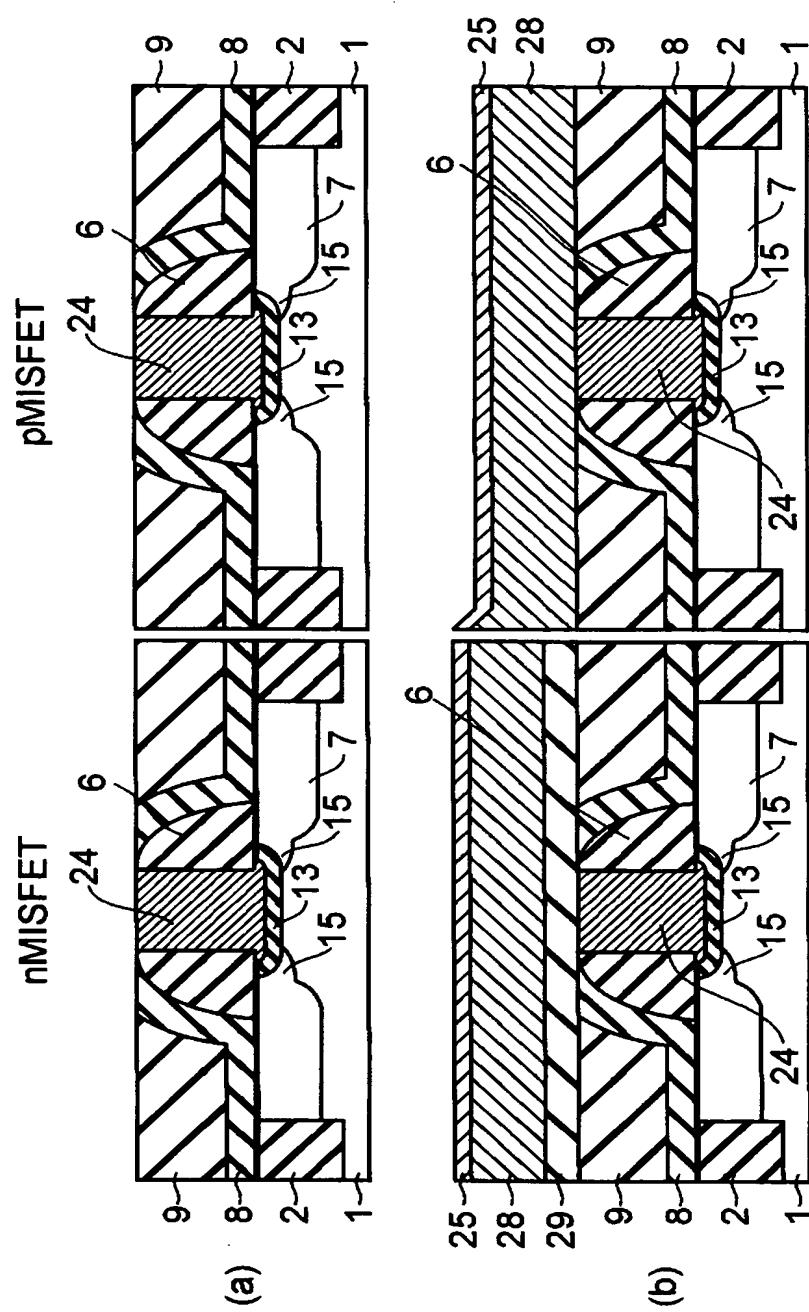
【図4】



【図 5】

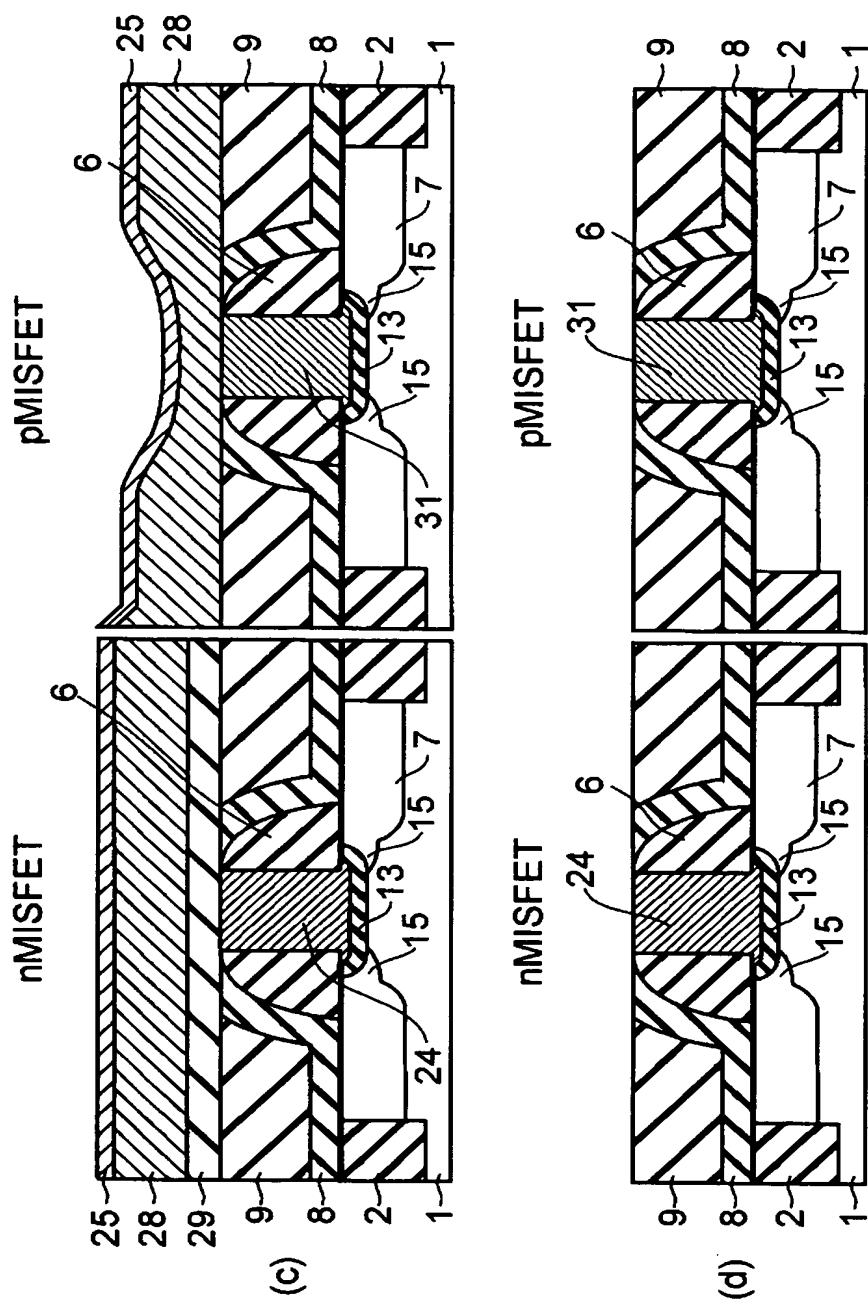


【図 6】

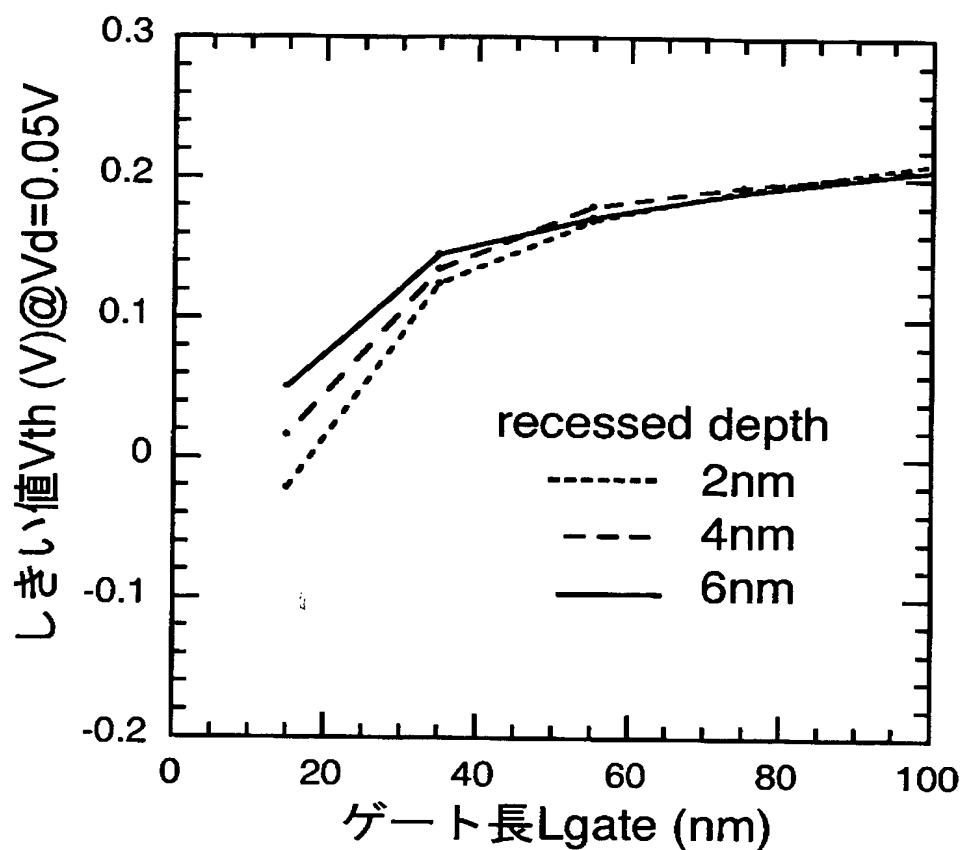




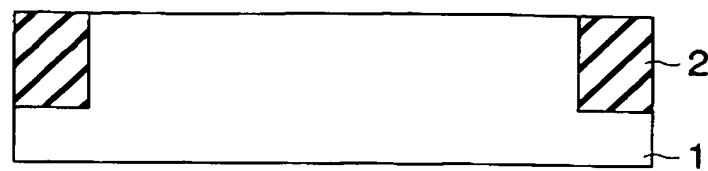
【図7】



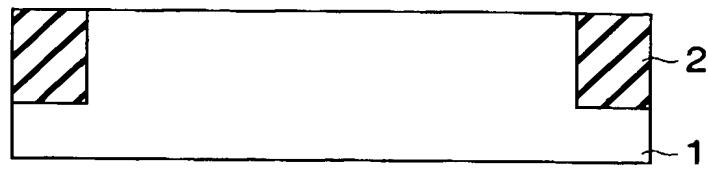
【図8】



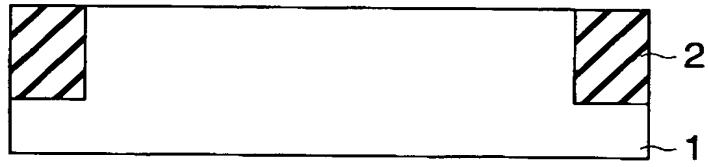
【図9】



(a)

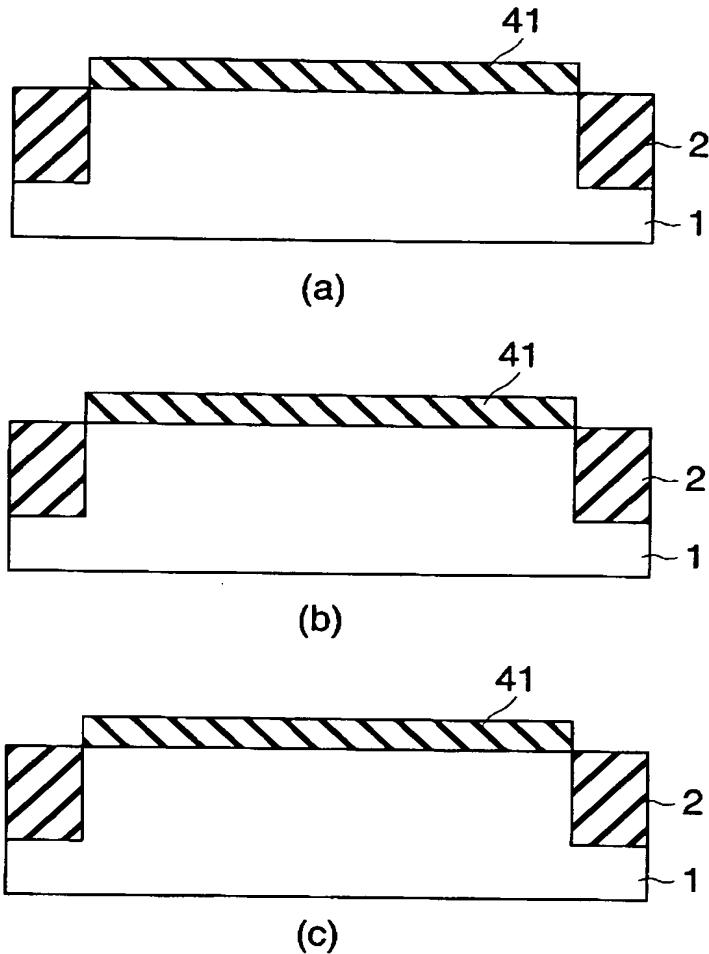


(b)

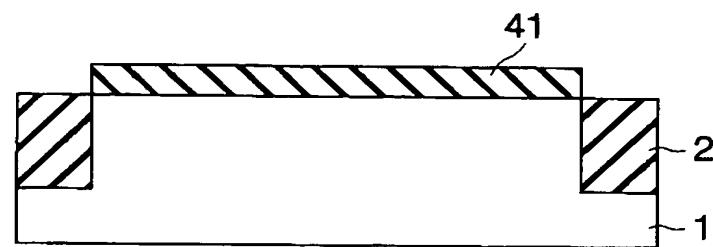


(c)

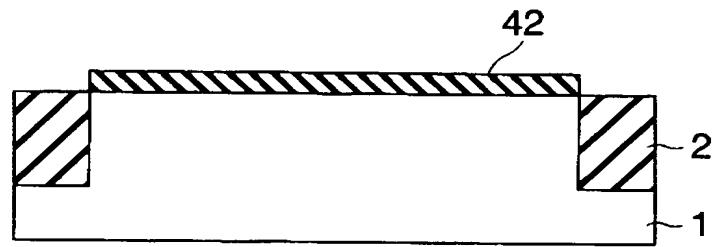
【図10】



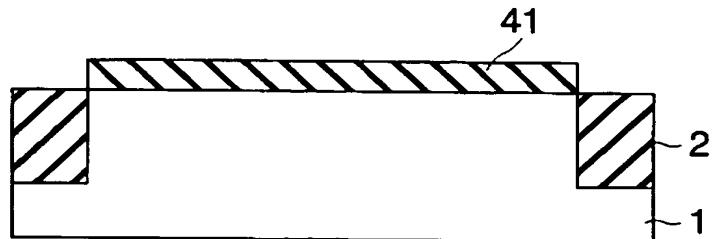
【図11】



(a)

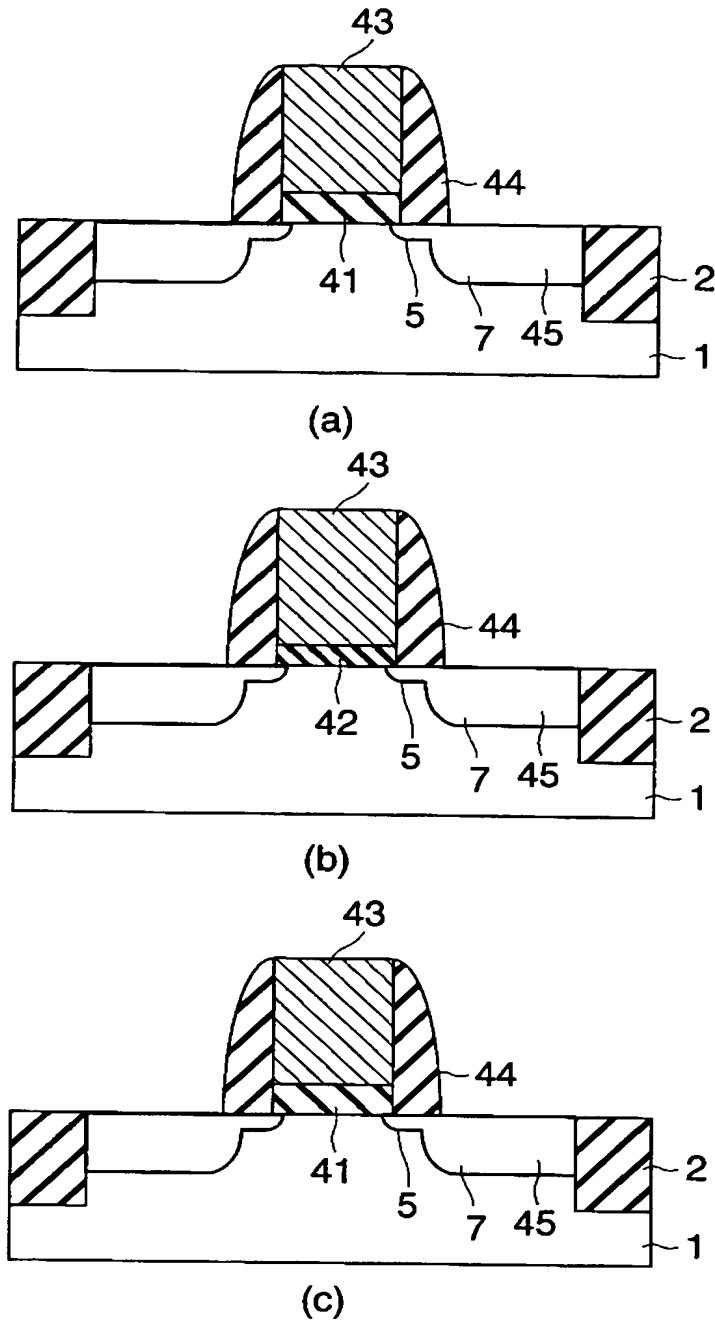


(b)

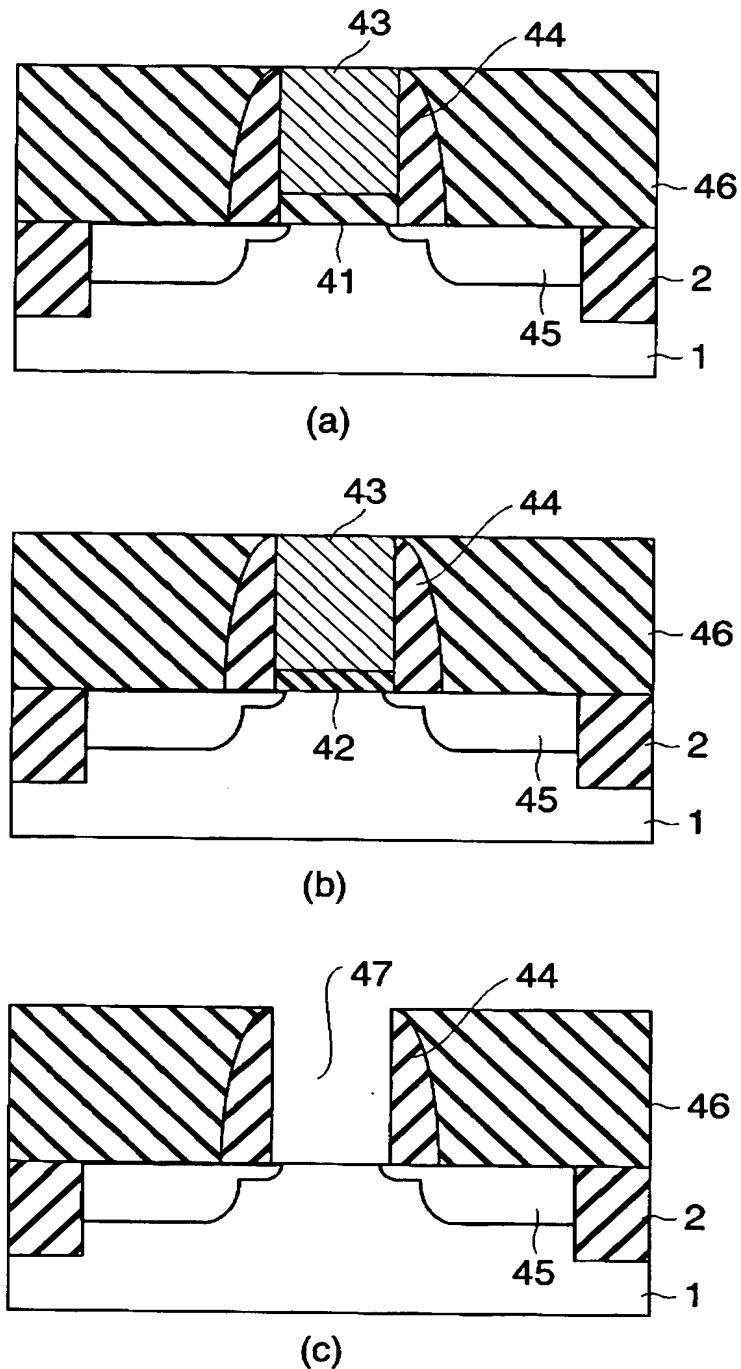


(c)

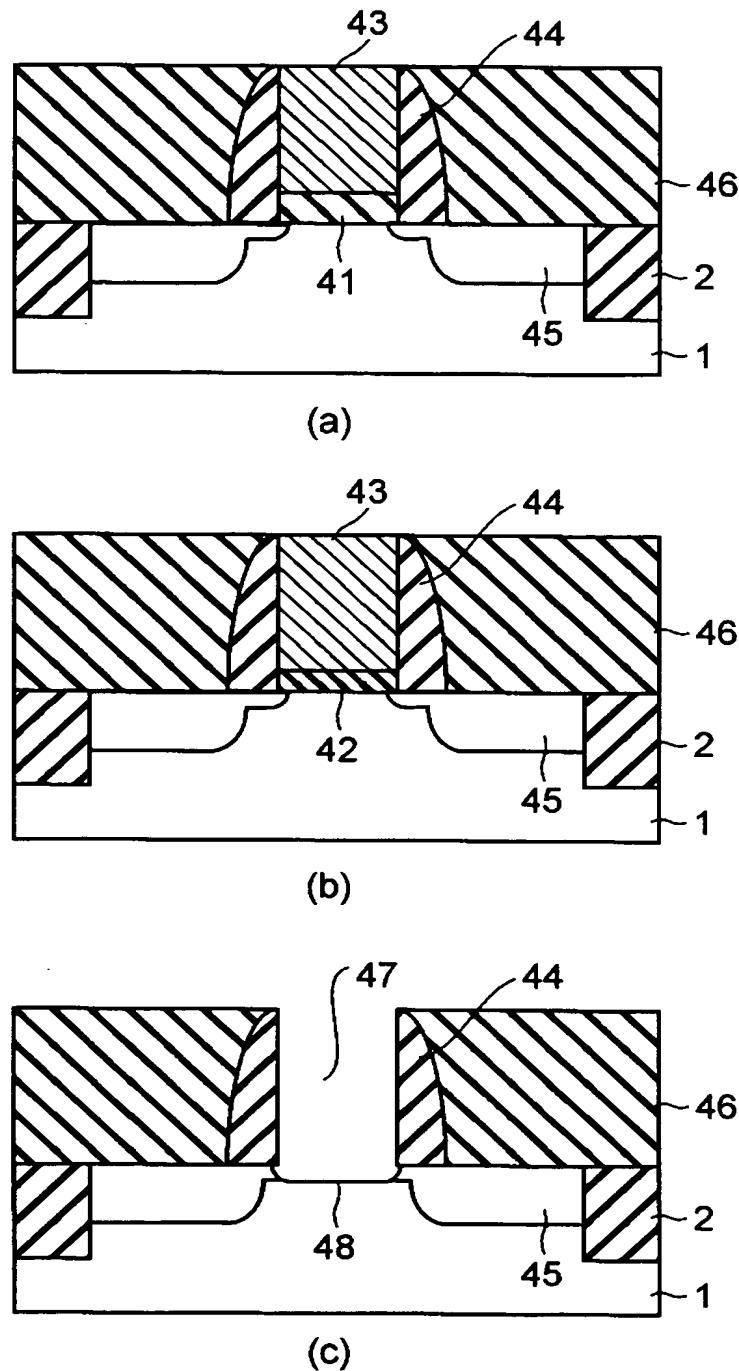
【図12】



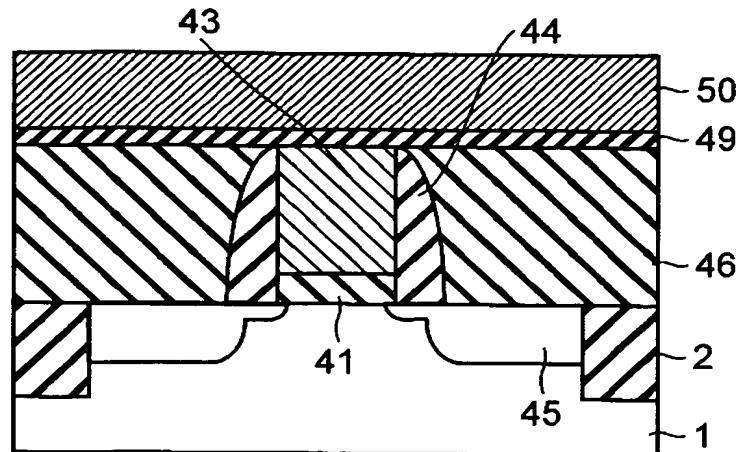
【図13】



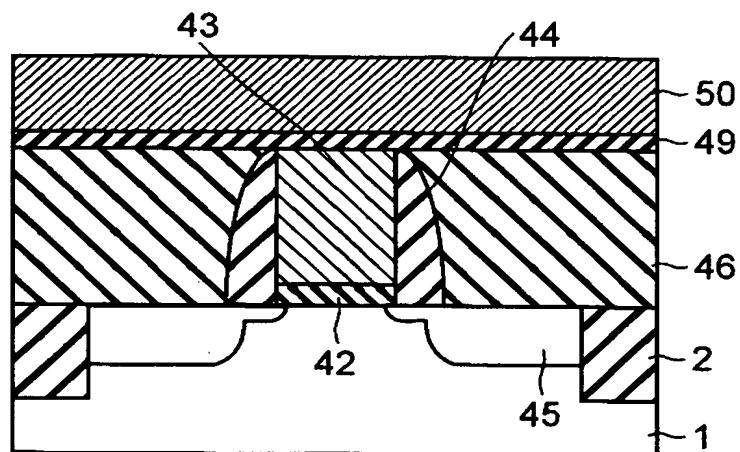
【図14】



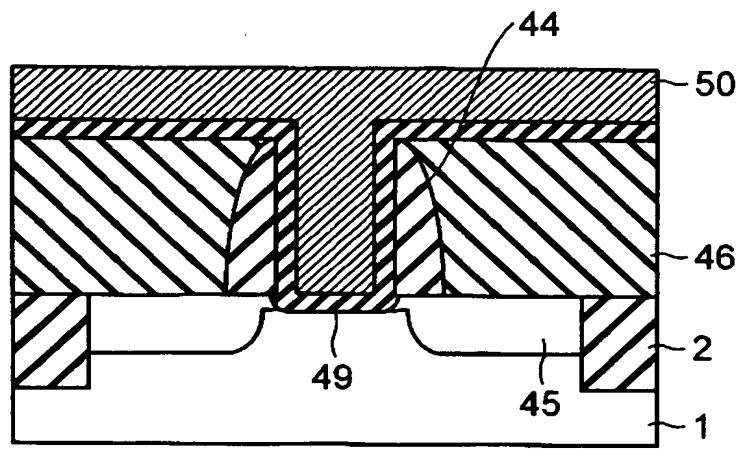
【図15】



(a)

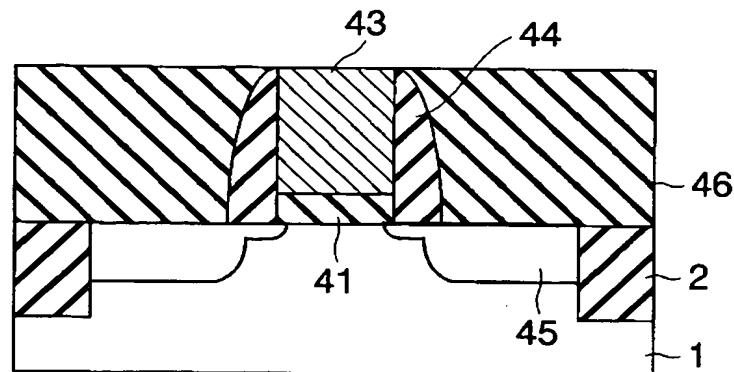


(b)

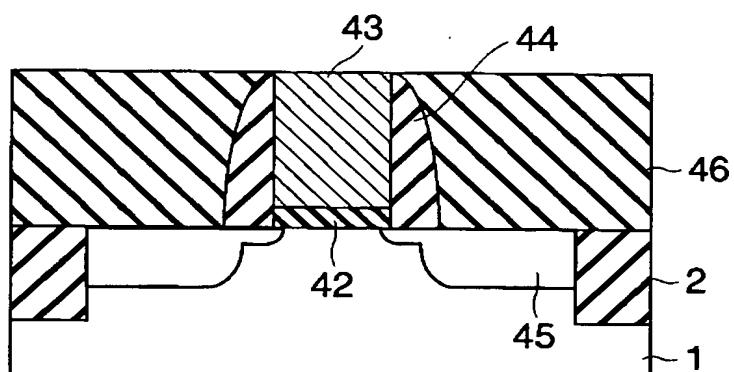


(c)

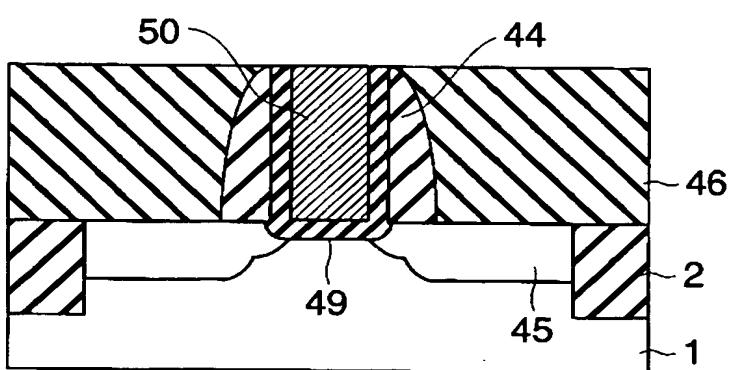
【図16】



(a)

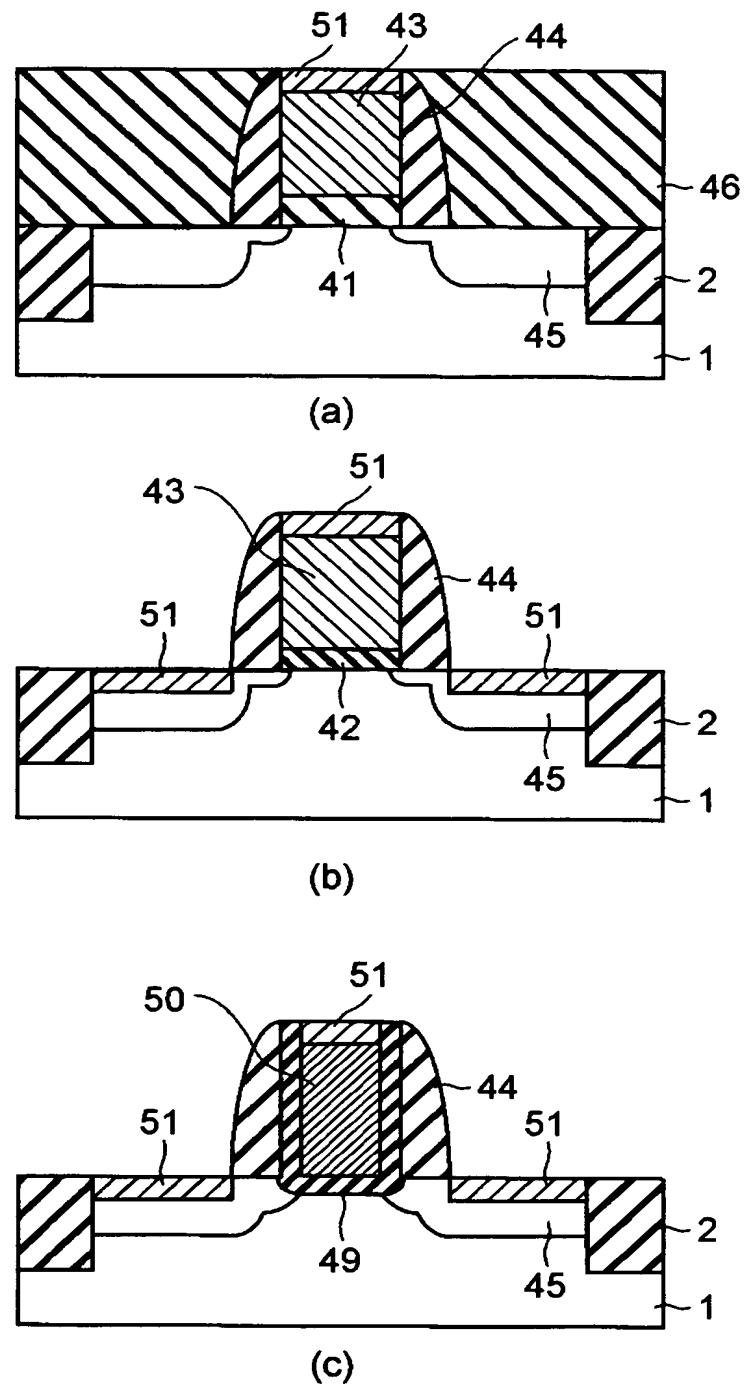


(b)

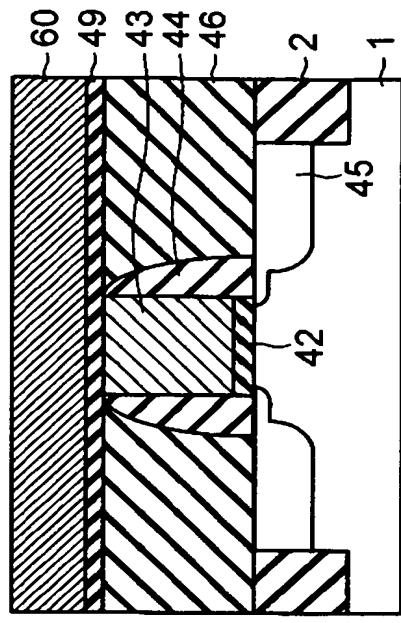


(c)

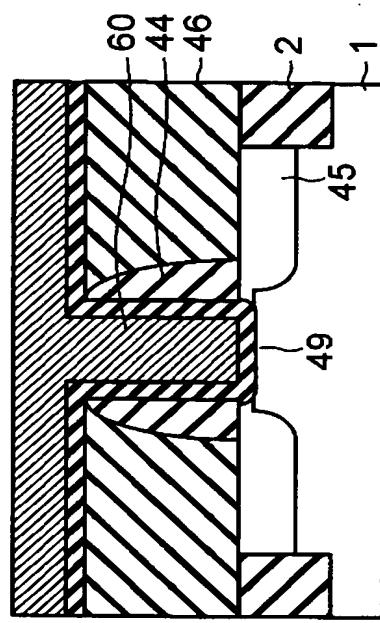
【図17】



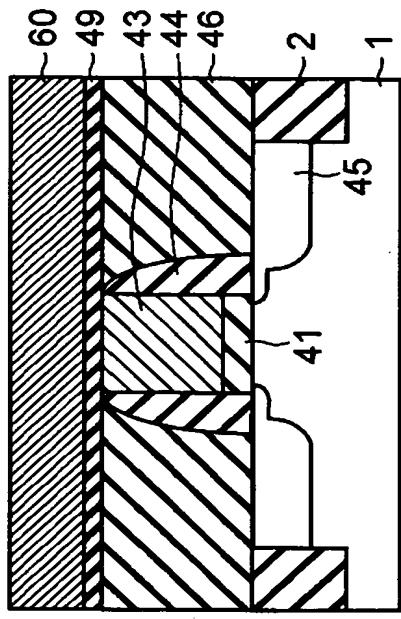
【図18】



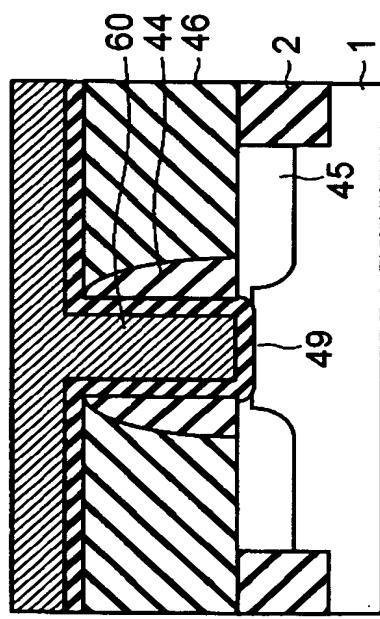
(b)



(d)

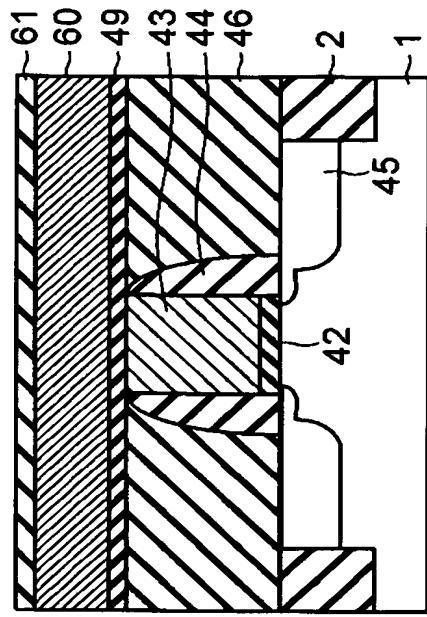


(a)

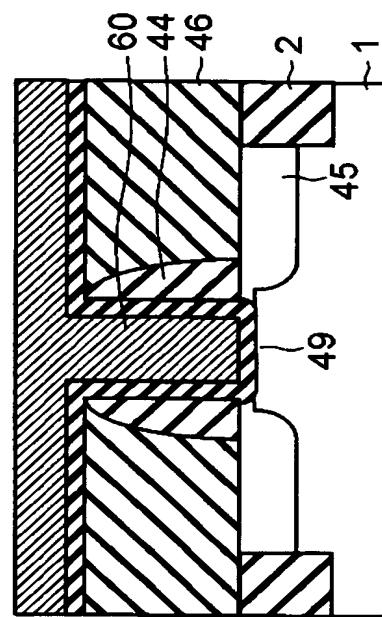


(c)

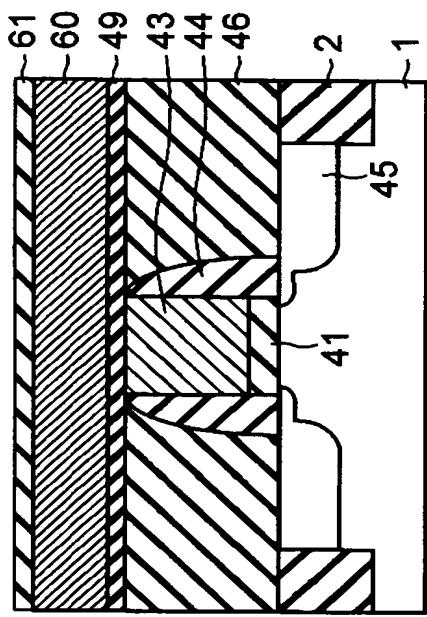
【図19】



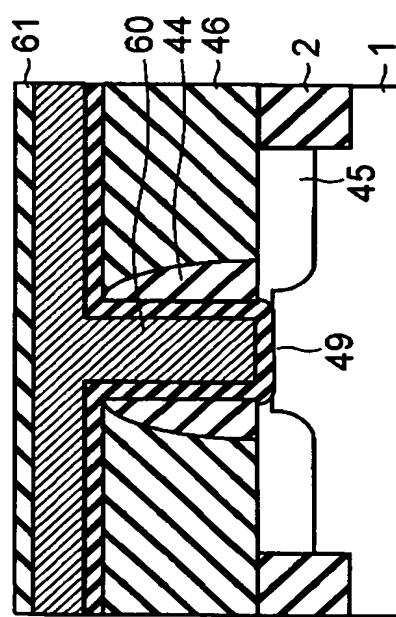
(b)



(d)



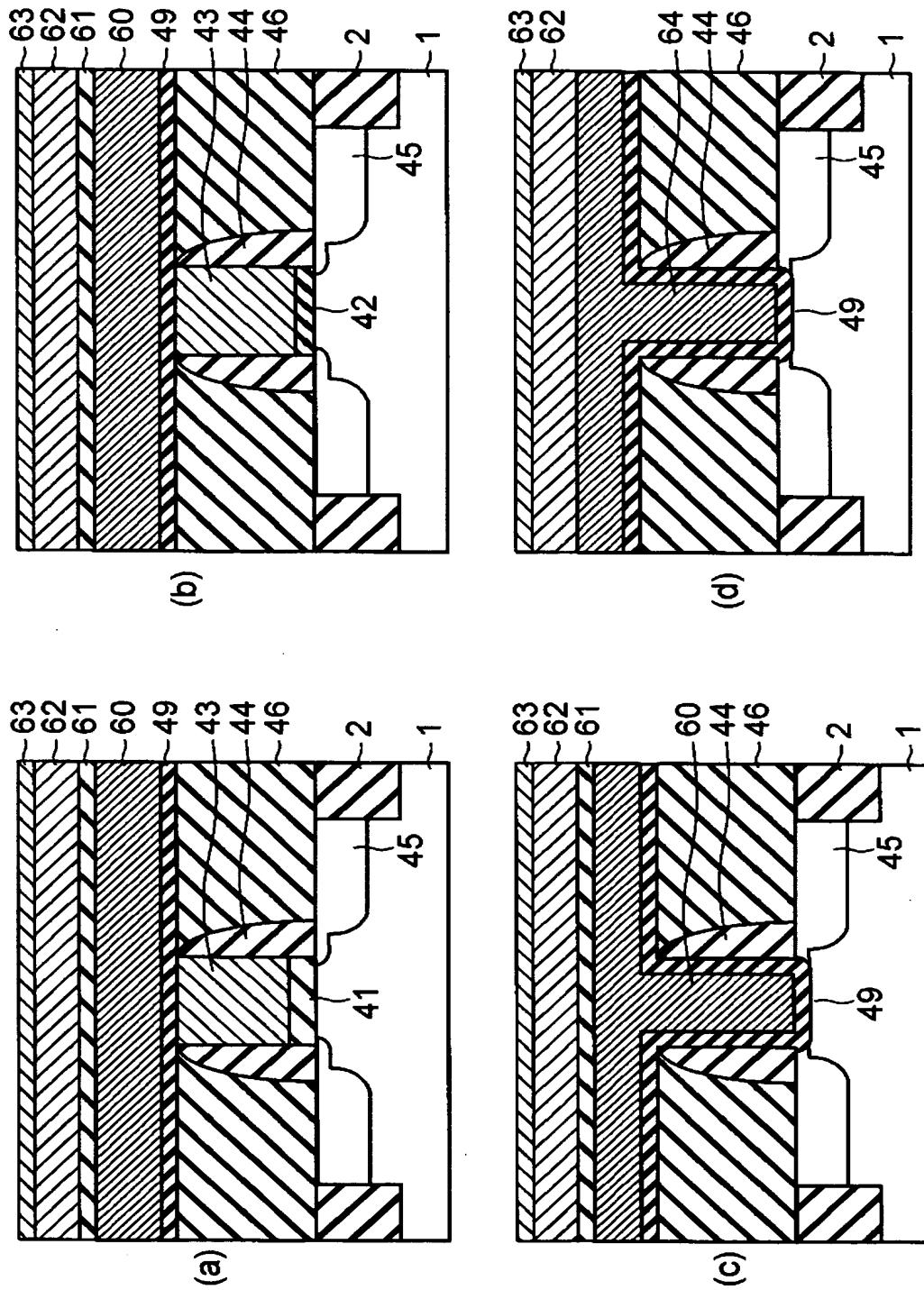
(a)



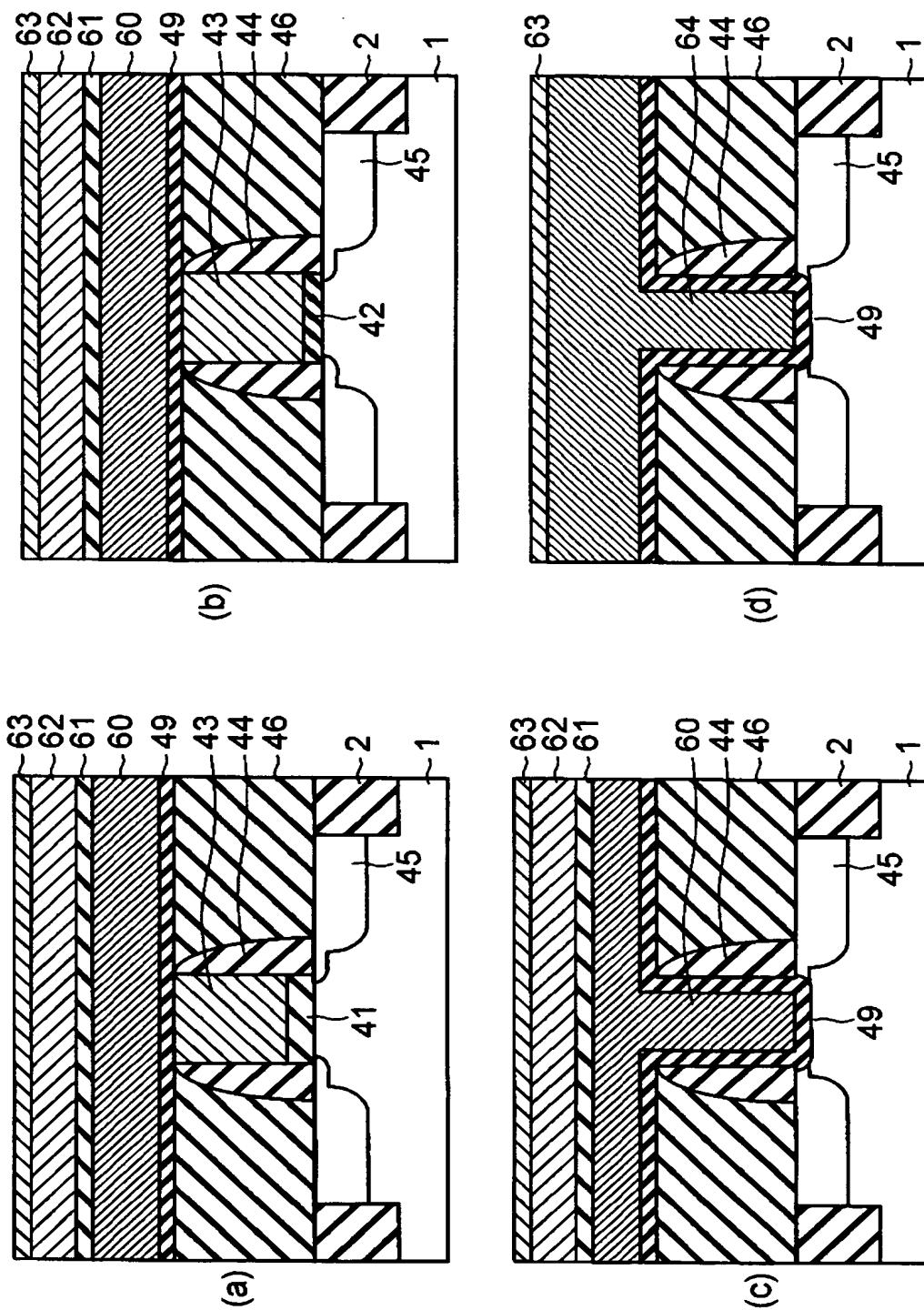
(c)

FIG.16C

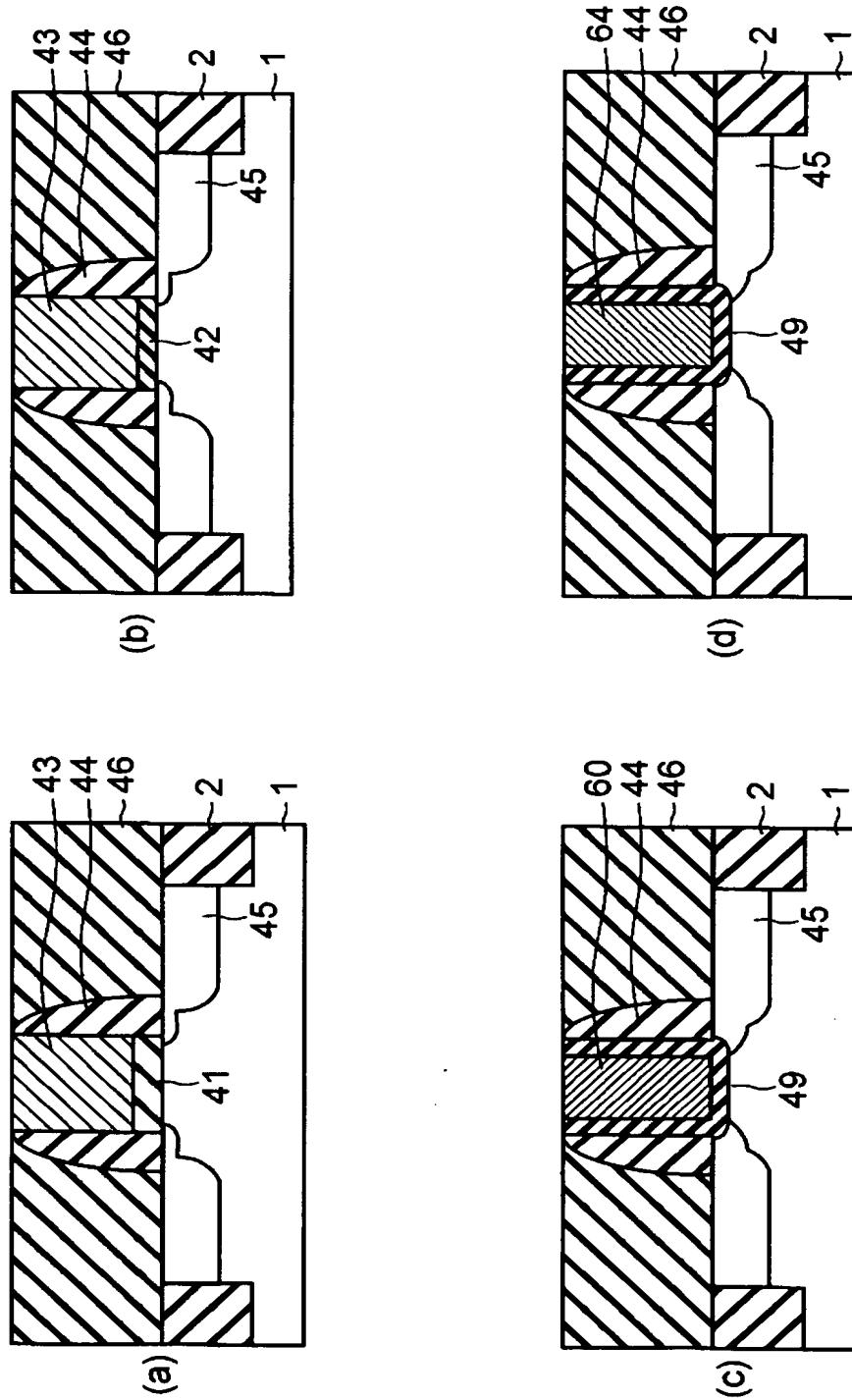
【図20】



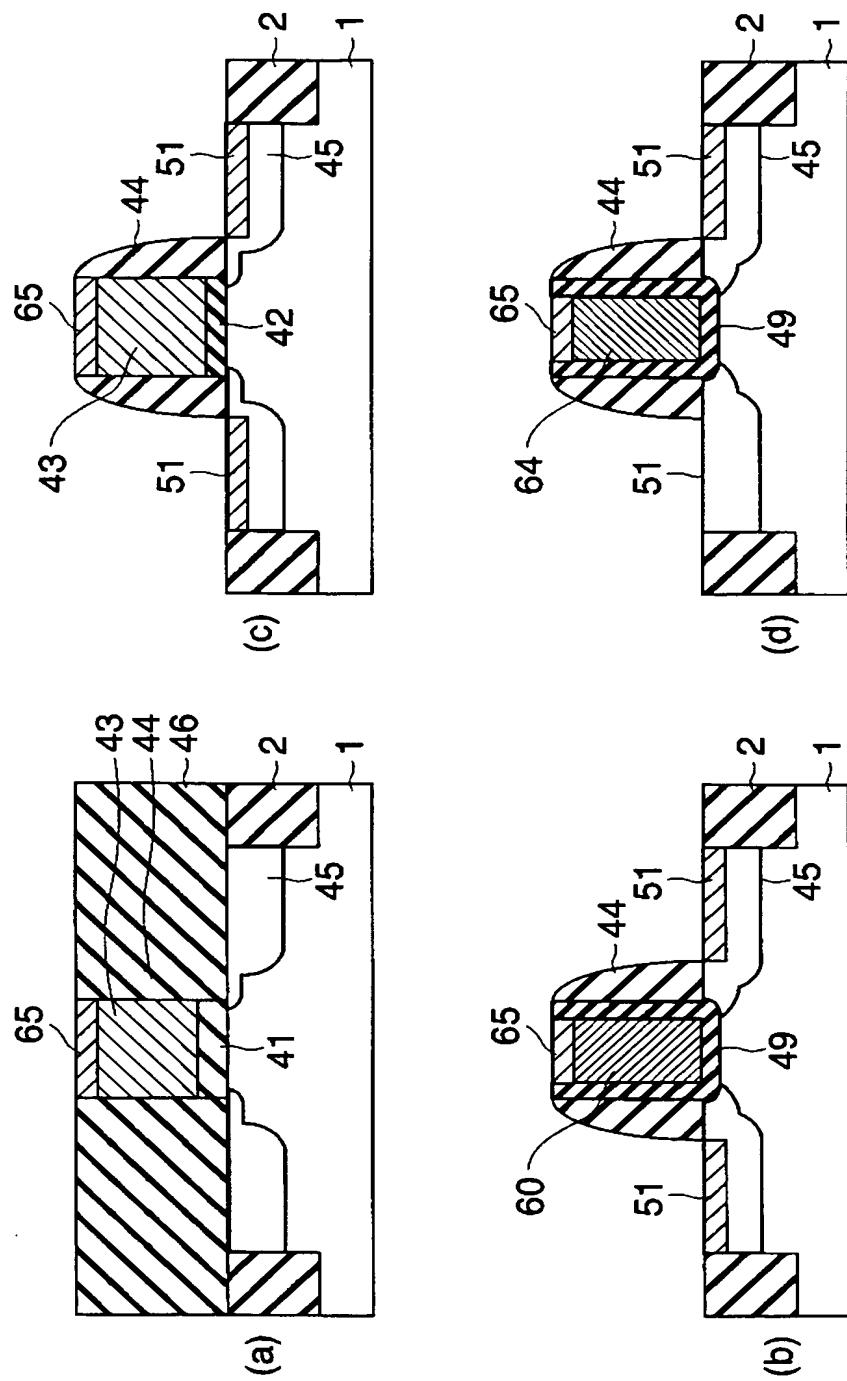
【図 21】



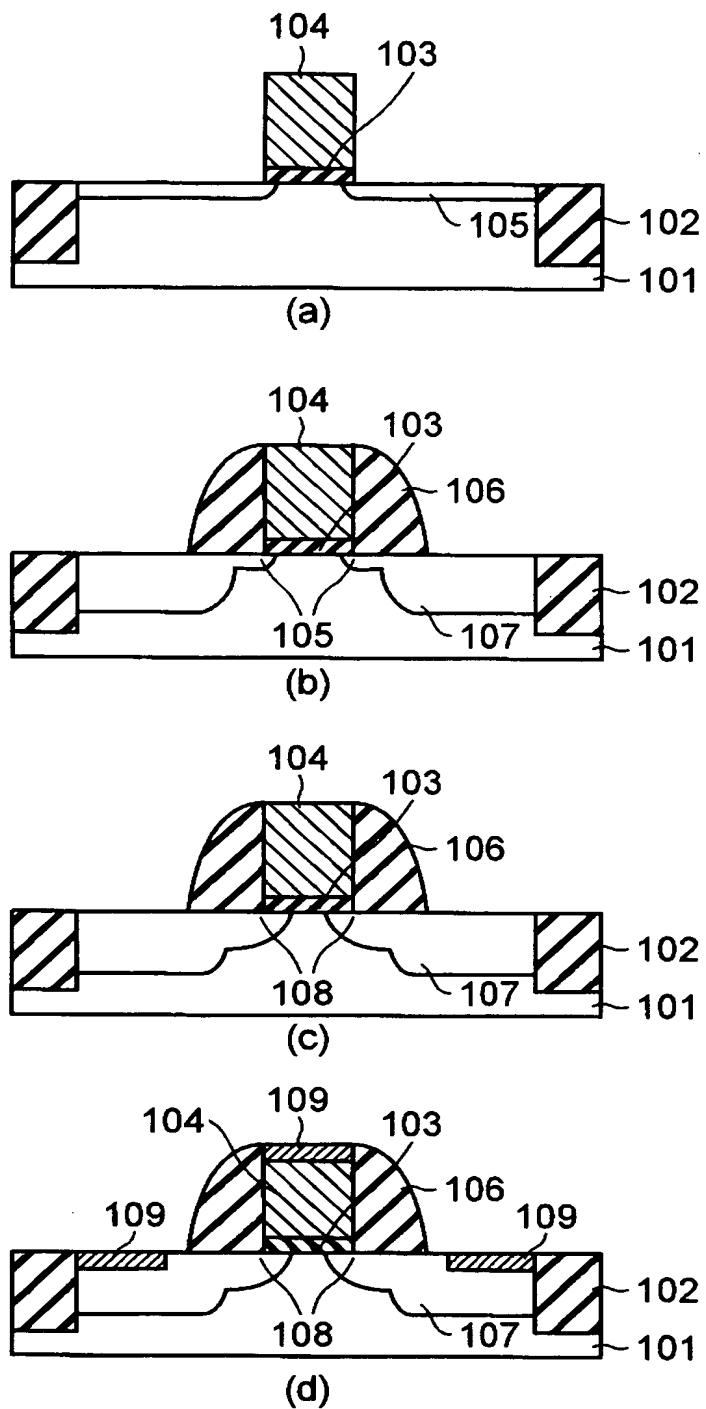
【図22】



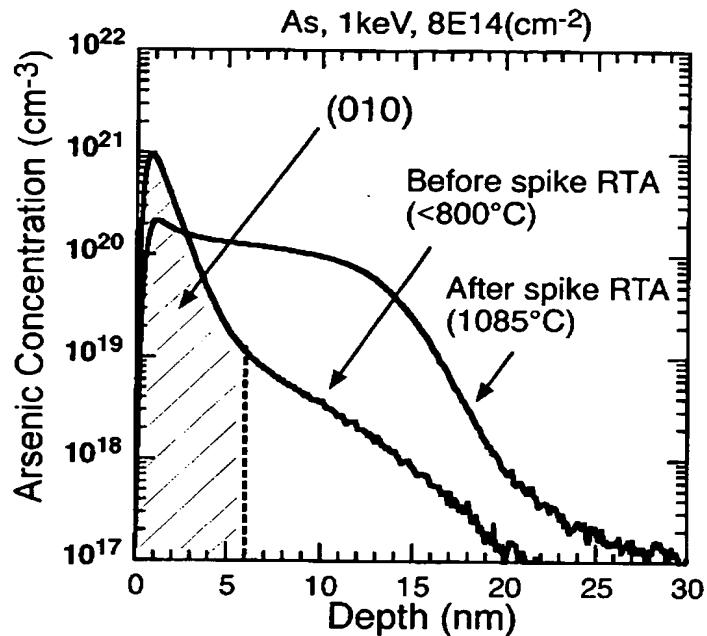
【図23】



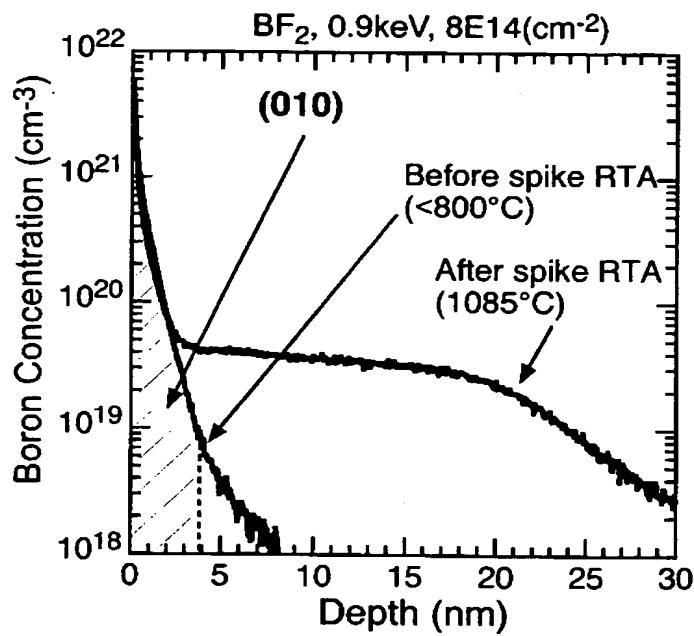
【図24】



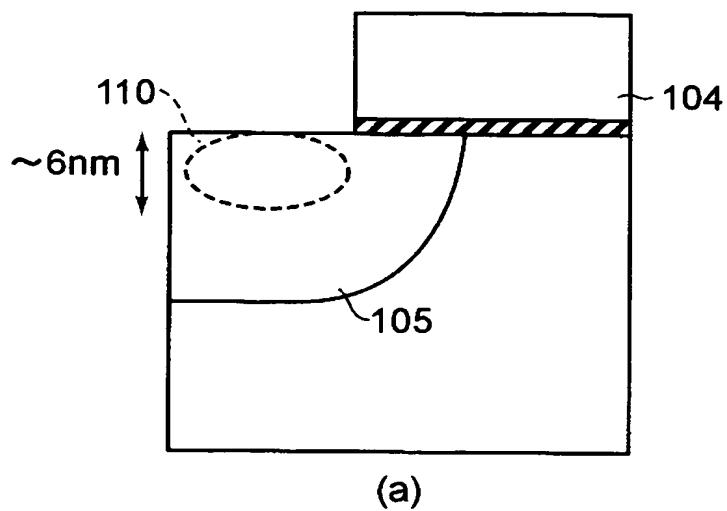
【図 25】



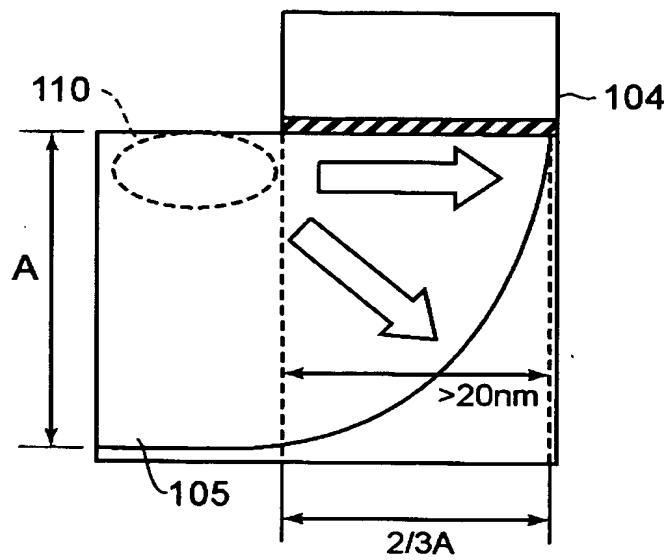
【図 26】



【図27】

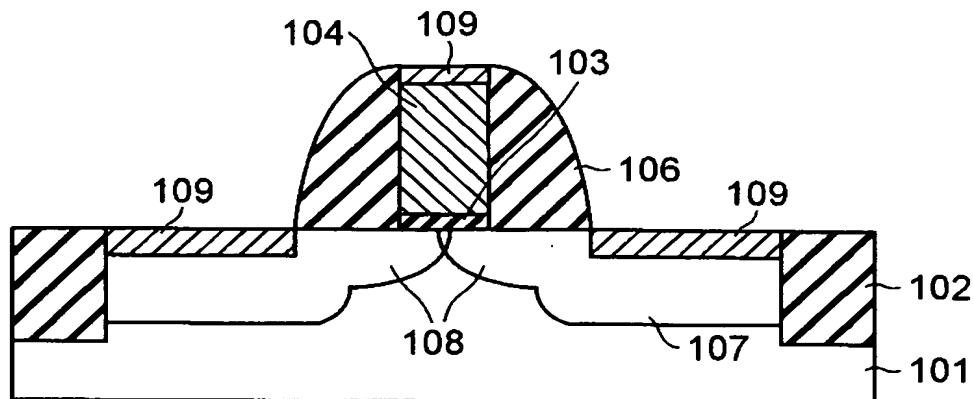


(a)



(b)

【図28】



【書類名】要約書

【要約】

【課題】 現在のイオン注入技術と活性化熱処理技術を用いて微細なMISFETを実現できるエクステンション領域をもつ半導体装置を提供する。

【解決手段】 半導体基板1のゲート電極14下部に位置する部分がソース・ドレイン領域が形成された他の部分より窪んでいる。窪み深さはエクステンション領域のイオン注入時における不純物濃度ピークの基板表面からの深さより深く、6nm以下が良い。ソース・ドレイン領域のエクステンション領域15がゲート電極下を延在する部分の長さはエクステンション領域の深さの2/3より十分小さくなり、微細化が実現できる。また、半導体基板のゲート電極形成領域に窪みを形成し、その領域にゲート絶縁膜13等をプラズマ酸化等の600°C以下の低温で形成し、その上にゲート電極を堆積させる。この後に行われるゲート電極中の不純物を活性化させる等の1000°C以上の熱処理によっても不純物がゲート電極下を横方向に拡散することは従来より格段に少なくなる。

【選択図】 図4

認定・付力口小青報

特許出願の番号	特願 2003-318143
受付番号	50301498934
書類名	特許願
担当官	第五担当上席 0094
作成日	平成 15 年 9 月 16 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目 1 番 1 号
【氏名又は名称】	株式会社東芝

【代理人】

【識別番号】	100058479
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	鈴江 武彦

【選任した代理人】

【識別番号】	100091351
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	河野 哲

【選任した代理人】

【識別番号】	100088683
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	中村 誠

【選任した代理人】

【識別番号】	100108855
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	蔵田 昌俊

【選任した代理人】

【識別番号】	100084618
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	村松 貞男

● 【選任した代理人】

【識別番号】 100092196

【住所又は居所】 東京都千代田区霞が関3丁目7番2号 鈴榮特許
綜合法律事務所内

【氏名又は名称】 橋本 良郎

特願 2003-318143

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住所 東京都港区芝浦一丁目1番1号
氏名 株式会社東芝